

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-338461

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

G02F 1/133

G09G 3/20

G09G 3/36

(21)Application number : 11-145768

(71)Applicant : NEC CORP

(22)Date of filing : 26.05.1999

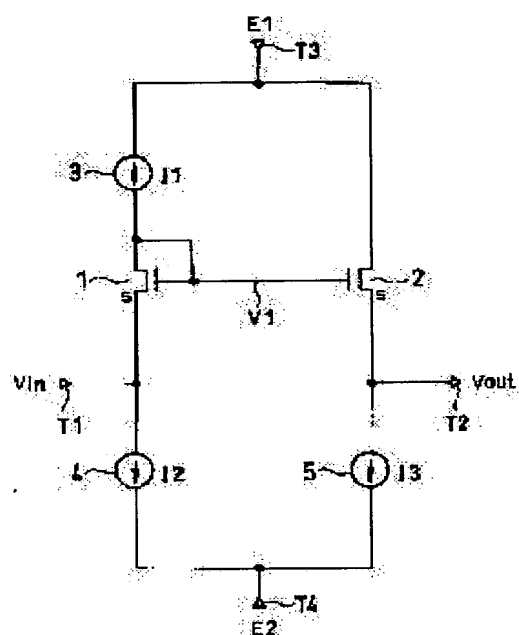
(72)Inventor : TSUCHI HIROSHI

(54) DRIVING CIRCUIT, DRIVING CIRCUIT SYSTEM, BIASING CIRCUIT, AND DRIVING CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To drive a capacitance load with a simple circuit structure and a high current supply capability by controlling the currents between the drains and sources of both transistors.

SOLUTION: An output voltage V_{out} becomes equal to an input voltage V_{in} when I_1 and I_3 are controlled so that the gate voltages V_{gs1} (I_1) and V_{gs2} (I_3) of the respective transistors 1, 2 become equal to each other. It is possible to obtain a highly accurate voltage output uninfluenced by the variations in the characteristics of the transistors by setting the element sizes and the currents I_1 , I_3 of the transistors 1, 2 to be equal and setting the I_1 , I_3 according to the ratio of the channel width ratio so that V_{gs1} (I_1)- V_{gs2} (I_3) will not change even though the transistor characteristics vary. Moreover, if the current I_2 is controlled to be equal to the current I_1 , the driving circuit can easily be operated even when an external circuit for supplying the input voltage V_{in} has a low current supply capability.



LEGAL STATUS

[Date of request for examination]

21.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP,2000-338461,A

CLAIMS

[Claim(s)]

[Claim 1] The drive circuit characterized by to include the 1st current control means which controls the current which flows between the drain sources of the level-conversion means which carries out the level conversion of the input voltage to the 1st voltage, the 1st transistor which receives the 1st voltage of the above in the gate, and outputs the output voltage according to the aforementioned input voltage from the source, and the 1st transistor of the above, and the driving means which carry out source-follower operation of the 1st transistor of the above.

[Claim 2] The aforementioned level-conversion means is a drive circuit according to claim 1 which is the same conductivity type as the 1st transistor of the above, and is characterized by including in the source the drain which received and made common connection of the aforementioned input voltage, the 2nd transistor which outputs the 1st voltage of the above from the gate, and the 2nd current control means which controls the current which flows between the drain sources of the 2nd transistor of the above.

[Claim 3] The drive circuit characterized by providing the following. The 1st power terminal. The input terminal which receives input voltage. The output terminal which outputs output voltage. The 1st transistor by which a drain and the gate were connected and the aforementioned input terminal was connected to the source, The 2nd transistor which is the same conductivity type as the 1st transistor of the above, and the 1st power terminal of the above is connected to a drain, and the aforementioned output terminal is connected to the source, and receives equal voltage in the gate with the gate voltage of the 1st transistor of the above, 2nd current control means which controls the current which flows between the 1st current control means which controls the current which flows between the drain (gate) of the 1st transistor of the above, and the source, and the drain of the 2nd transistor of the above and the source.

[Claim 4] It is the drive circuit according to claim 3 characterized by being the 2nd current control circuit to which the current control means of the above 1st are the 1st current control circuit connected between the 2nd power terminal and the drain (gate) of the 1st transistor of the above, and the current control means of the above 2nd were connected between the aforementioned output terminal and the 3rd power terminal.

[Claim 5] The drive circuit according to claim 4 characterized by including further the 3rd current control circuit connected between the aforementioned

input terminal and the 4th power terminal.

[Claim 6] The drive circuit according to claim 3 to 5 characterized by including further the switch group which can intercept the current which flows between each terminal of the aforementioned input terminal, the aforementioned output terminal, and the aforementioned power terminal, and the switch control means which control ON and OFF of the aforementioned switch group.

[Claim 7] The drive circuit according to claim 3 to 6 characterized by including further the 1st precharge means which precharges the aforementioned output terminal on at least one kind of voltage.

[Claim 8] The drive circuit according to claim 3 to 7 characterized by including further the 2nd precharge means which precharges the gate voltage of the 1st transistor of the above on the 1st predetermined voltage.

[Claim 9] The drive circuit according to claim 4 characterized by the above 1st and the 2nd current control circuit consisting of the n channel types or the p-channel type current control transistors in which current control is carried out by control of the voltage between the gate sources.

[Claim 10] aforementioned the 1- the drive circuit according to claim 5 characterized by the 4th current control circuit consisting of the n channel types or the p-channel type current control transistors in which current control is carried out by control of the voltage between the gate sources

[Claim 11] The drive circuit system characterized by providing the following. The 1st drive circuit which shares the input terminal which receives input voltage, and the output terminal which outputs output voltage, respectively, and the 2nd drive circuit. The driving means which operate either [at least] the drive circuit of the above 1st or the drive circuit of the above 2nd according to the aforementioned input voltage are included. the drive circuit of the above 1st The 1st n channel type transistor by which a drain and the gate were connected and the source was connected to the aforementioned input terminal, The 2nd n channel type transistor which the 1st power terminal is connected to a drain, and the source is connected to the aforementioned output terminal, and receives voltage equal to the gate voltage of the n channel type transistor of the above 1st at the gate, The 1st current control means which controls the current which flows between the drain (gate) of the n channel type transistor of the above 1st, and the source, The 2nd current control means which controls the current which flows between the drain of the n channel type transistor of the above 2nd and the source are included. the drive circuit of the above 2nd The 1st p-channel type transistor by which a

drain and the gate were connected and the source was connected to the aforementioned input terminal, The 2nd p-channel type transistor which the 2nd power terminal is connected to a drain, and the source is connected to the aforementioned output terminal, and receives voltage equal to the gate voltage of the p-channel type transistor of the above 1st at the gate, 4th current control means which controls the current which flows between the 3rd current control means which controls the current which flows between the drain (gate) of the p-channel type transistor of the above 1st, and the source, and the drain of the p-channel type transistor of the above 2nd and the source.

[Claim 12] The current control means of the above 1st contain the 1st current control circuit connected between the 3rd power terminal and the drain (gate) of the n channel type transistor of the above 1st. The current control means of the above 2nd contain the 2nd current control circuit connected between the aforementioned output terminal and the 4th power terminal. the current control means of the above 3rd The 3rd current control circuit connected between the 5th power terminal and the drain (gate) of the p-channel type transistor of the above 1st is included. the current control means of the above 4th The drive circuit system according to claim 11 characterized by including the 4th current control circuit connected between the aforementioned output terminal and the 6th power terminal.

[Claim 13] The drive circuit of the above 2nd is a drive circuit system according to claim 11 or 12 characterized by including further the 6th current control circuit connected between the aforementioned input terminal and the power terminal of the octavus, including further the 5th current control circuit to which the drive circuit of the above 1st was connected between the aforementioned input terminal and the 7th power terminal.

[Claim 14] The drive circuit system according to claim 11 to 13 characterized by including further the switch group which can intercept the current which flows between each terminal of the aforementioned input terminal, the aforementioned output terminal, and the aforementioned power terminal, and the switch control means which control ON and OFF of the aforementioned switch group.

[Claim 15] The drive circuit system according to claim 11 to 13 characterized by including further the 1st precharge means which precharges the aforementioned output terminal on at least one kind of voltage.

[Claim 16] The drive circuit system according to claim 14 characterized by including further the 2nd precharge means which precharges the gate voltage of the n channel type transistor of the above 1st on the 1st

predetermined voltage, and the 3rd precharge means which precharges the gate voltage of the p-channel type transistor of the above 1st on the 2nd predetermined voltage.

[Claim 17] aforementioned the 1- the drive circuit system according to claim 12 characterized by the 4th current control circuit consisting of the n channel types or the p-channel type current control transistors in which current control is carried out by control of the voltage between the gate sources

[Claim 18] aforementioned the 1- the drive circuit system according to claim 13 characterized by the 6th current control circuit consisting of the n channel types or the p-channel type current control transistors in which current control is carried out by control of the voltage between the gate sources

[Claim 19] The aforementioned n channel type current control transistor contained in a drive circuit according to claim 1 to 8 or a drive circuit system according to claim 9 to 14, and the 1st n channel type transistor which has the same voltage between the gate sources, A drive circuit according to claim 1 to 8 Have the same voltage between the gate sources as the aforementioned p-channel type current control transistor contained in a drive circuit system according to claim 9 to 14, and or the current between the drain sources of a size equal to the current between the drain sources of the n channel type transistor of the above 1st The bias circuit characterized by including the 1st p-channel type transistor which it has.

[Claim 20] The drive circuit system which one drive circuit of the claims 1-10 is characterized as two or more implications, and is characterized by sharing the aforementioned bias circuit in two or more aforementioned drive circuits including the bias circuit of a claim 19 further.

[Claim 21] The drive circuit apparatus which one drive circuit system of the claims 11-18 is characterized as two or more implications, and is characterized by sharing the aforementioned bias circuit by two or more aforementioned drive circuit systems including the bias circuit of a claim 19 further.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the drive circuit of the capacitive load especially used for the driver (buffer) section which is the output stage of the drive circuit of a liquid crystal display (LCD), a drive circuit system, the bias circuit used for these, and a drive circuit apparatus about a drive circuit, a drive circuit system, the bias circuit used for these, and a drive circuit apparatus.

[0002]

[Description of the Prior Art] A liquid crystal display (LCD) is explained as an example of representation of the drive circuit of a capacitive load. Generally the display of the liquid crystal display using the active-matrix drive method. The semiconductor substrate which has arranged a transparent pixel electrode and transparent TFT (TFT). It consists of structure which the opposite substrate in which one transparent electrode was formed to the whole field, and these two substrates were made to counter, and enclosed liquid crystal in between. By controlling TFT with a switching function, predetermined voltage is impressed to each pixel electrode, the permeability of liquid crystal is changed by the potential difference between each pixel electrode and an opposite substrate electrode, and a picture is displayed.

[0003] The data line which sends two or more level voltage (gradation voltage) impressed to each pixel electrode on a semiconductor substrate, and the scanning line which sends the switching control signal of TFT are wired, and the data line serves as a big capacitive load with the liquid crystal capacity inserted between opposite substrate electrodes, the capacity produced in an intersection with each scanning line. Since impression of the gradation voltage to each pixel electrode is performed through the data line and the writing of gradation voltage is performed to all the pixels connected with the data line in an one-frame period, a data-line drive circuit must drive the data line which is a big capacitive load at high speed.

[0004] Thus, the data-line drive circuit needed to drive the data line with a big capacity at high speed in a high voltage precision, and in order to fill this demand, development of various data-line drive circuits has been performed. It is the drive circuit where having enabled the high precision output and the high-speed drive used the operational amplifier for the driver (buffer) section in this. The typical example of a circuit is shown in drawing 16.

[0005] In drawing 16, the operational amplifier serves as a voltage follower and can output voltage equal to input voltage V_{in} as output voltage V_{out} . The operational amplifier consists of a differential-amplifier stage 610 and an output amplification stage 620. The differential-amplifier stage 610 consists of a current control circuit 601, PMOS transistors 603 and 604 which have the same property, and NMOS transistors 605 and 606 which have the same property. Common connection of the gates and the sources is made and the source by which common connection was made is connected to a power terminal T14 for the NMOS transistors 605 and 606. In addition, as for the NMOS transistor 606, common connection also of the drain is

made with the gate.

[0006] Common connection of the source is made, the gate is connected to an input terminal T1, and, as for the PMOS transistors 603 and 604, a drain is connected with the drain of the NMOS transistor 605, as for the PMOS transistor 603. The gate is connected to an output terminal T2, and, as for the PMOS transistor 604, a drain is connected with the drain of the NMOS transistor 606. The current control circuit 601 is connected between a power terminal T13 and the source of the PMOS transistor 603, 604.

[0007] On the other hand, the output amplification stage 620 consists of a current control circuit 602, an NMOS transistor 607, and capacitive element 608. The current control circuit 602 is connected between a power terminal T11 and an output terminal T2. A drain is connected to an output terminal T2, the source is connected to a power terminal T12, and, as for the NMOS transistor 607, the gate is connected to the drain common terminal of the PMOS transistor 603 and the NMOS transistor 605. Capacitive element 608 is connected between the gate of the NMOS transistor 607, and an output terminal T2. In addition, the current controlled by the current control circuits 601 and 602 is set to I_{61} and I_{62} , voltage V_{DD} is given to power terminals T11 and T13, and voltage V_{SS} is given to power terminals T12 and T14.

[0008] Moreover, the data line of a capacitive load shall be connected to an output terminal T2. Returning output voltage V_{out} to the differential-amplifier stage, i.e., by inputting output voltage V_{out} into the gate of the PMOS transistor 604, the rate of voltage amplification is 1 and the operational amplifier of drawing 16 serves as high composition (voltage follower) of current-supply-source capacity. As for the operation, the gate voltage of the NMOS transistor 607 is reduced for output voltage V_{out} a low case from input voltage V_{in} , the NMOS transistor 607 will be in an OFF state temporarily, and voltage can pull up output voltage V_{out} by the current I_{62} supplied from the current control circuit 602.

[0009] On the other hand, when output voltage V_{out} is higher than input voltage V_{in} , the gate voltage of the NMOS transistor 607 can pull up, and output voltage V_{out} is reduced by operation of the NMOS transistor 607. Since it acts so that the NMOS transistors 605 and 606 may pass current respectively equal between the drain sources at this time, output voltage V_{out} is promptly converged on input voltage V_{in} , decreasing. Moreover, capacitive element 608 performed phase compensation and has prevented the oscillation.

[0010] Thereby, an operational amplifier can drive gradation voltage by high current-supply-source capacity in the data-line capacity connected to the

output terminal T2, if gradation voltage is inputted as input voltage V_{in} for every output period.

[0011] Moreover, an operational amplifier can be driven, without being dependent on the current-supply-source capacity of the external circuit which supplies input voltage V_{in} with impedance conversion.

[0012]

[Problem(s) to be Solved by the Invention] However, the operational amplifier (voltage-follower circuit) of drawing 16 needs the design for oscillating by having applied feedback and preventing an oscillation. Moreover, in integration of an operational amplifier, the necessary area of an integrated circuit increases, consequently the capacitive element for phase compensation has the fault that a manufacturing cost rises, when necessary area may become large and constitutes many operational amplifiers from a single integrated circuit.

[0013] It is being made in order that this invention's may solve the fault of the conventional technology mentioned above, performing stable operation which the purpose's is circuitry only with an easy transistor, and an oscillation does not produce, and offering a highly precise voltage output and the drive circuit which can realize a high-speed drive. Moreover, other purposes of this invention are offering the drive circuit which can reduce a manufacturing cost, a drive circuit system, the bias circuit used for these, and a drive circuit apparatus in integration of many drive circuits.

[0014]

[Means for Solving the Problem] The drive circuit by this invention is characterized by to include the 1st current control means which controls the current which flows between the drain sources of the level-conversion means which carries out the level conversion of the input voltage to the 1st voltage, the 1st transistor which receives the 1st voltage of the above in the gate, and outputs the output voltage according to the aforementioned input voltage from the source, and the 1st transistor of the above, and the driving means which carry out source-follower operation of the 1st transistor of the above. Moreover, the aforementioned level-conversion means is the same conductivity type as the 1st transistor of the above, and is characterized by including in the source the drain which received and made common connection of the aforementioned input voltage, the 2nd transistor which outputs the 1st voltage of the above from the gate, and the 2nd current control means which controls the current which flows between the drain sources of the 2nd transistor of the above.

[0015] The input terminal in which other drive circuits by this invention receive input voltage with the 1st power terminal, The 1st transistor by which the output terminal which outputs output voltage, and a drain and

the gate were connected, and the aforementioned input terminal was connected to the source, The 2nd transistor which is the same conductivity type as the 1st transistor of the above, and the 1st power terminal of the above is connected to a drain, and the aforementioned output terminal is connected to the source, and receives equal voltage in the gate with the gate voltage of the 1st transistor of the above, It is characterized by including the 2nd current control means which controls the current which flows between the 1st current control means which controls the current which flows between the drain (gate) of the 1st transistor of the above, and the source, and the drain of the 2nd transistor of the above and the source. Moreover, the 1st current control circuit connected between the 2nd power terminal and the drain (gate) of the 1st transistor of the above may be made to provide as 1st current control means, and the 2nd current control circuit connected between the aforementioned output terminal and the 3rd power terminal may be made to provide as 2nd current control means. Moreover, you may make the 3rd current control circuit connected between the aforementioned input terminal and the 4th power terminal provide.

[0016] The switch group which can intercept the current which flows between each terminal of the aforementioned input terminal, the aforementioned output terminal, and the aforementioned power terminal, and the switch control means which control ON and OFF of the aforementioned switch group may also be included further. You may also include further the 1st precharge means which precharges the aforementioned output terminal on at least one kind of voltage. You may also include further the 2nd precharge means which precharges the gate voltage of the 1st transistor of the above on the 1st predetermined voltage.

[0017] The 1st drive circuit which shares the input terminal in which the drive circuit system by this invention receives input voltage, and the output terminal which outputs output voltage, respectively, and the 2nd drive circuit, The driving means which operate either [at least] the drive circuit of the above 1st or the drive circuit of the above 2nd according to the aforementioned input voltage are included. the drive circuit of the above 1st The 1st n channel type transistor by which a drain and the gate were connected and the source was connected to the aforementioned input terminal, The 2nd n channel type transistor which the 1st power terminal is connected to a drain, and the source is connected to the aforementioned output terminal, and receives voltage equal to the gate voltage of the n channel type transistor of the above 1st at the gate, The 1st current control means which controls the current which flows between the drain (gate) of the n

channel type transistor of the above 1st, and the source, The 2nd current control means which controls the current which flows between the drain of the n channel type transistor of the above 2nd and the source are included. the drive circuit of the above 2nd The 1st p-channel type transistor by which a drain and the gate were connected and the source was connected to the aforementioned input terminal, The 2nd p-channel type transistor which the 2nd power terminal is connected to a drain, and the source is connected to the aforementioned output terminal, and receives voltage equal to the gate voltage of the p-channel type transistor of the above 1st at the gate, It is characterized by including the 4th current control means which controls the current which flows between the 3rd current control means which controls the current which flows between the drain (gate) of the p-channel type transistor of the above 1st, and the source, and the drain of the p-channel type transistor of the above 2nd and the source. The current control means of the above 1st contain the 1st current control circuit connected between the 3rd power terminal and the drain (gate) of the n channel type transistor of the above 1st. The current control means of the above 2nd contain the 2nd current control circuit connected between the aforementioned output terminal and the 4th power terminal. the current control means of the above 3rd The current control means of the above 4th are characterized by including the 4th current control circuit connected between the aforementioned output terminal and the 6th power terminal including the 3rd current control circuit connected between the 5th power terminal and the drain (gate) of the p-channel type transistor of the above 1st. The drive circuit of the above 2nd is characterized by including further the 6th current control circuit connected between the aforementioned input terminal and the power terminal of the octavus, including further the 5th current control circuit to which the drive circuit of the above 1st was connected between the aforementioned input terminal and the 7th power terminal.

[0018] Other drive circuit systems by this invention are characterized by including further the switch group which can intercept the current which flows between each terminal of the aforementioned input terminal, the aforementioned output terminal, and the aforementioned power terminal, and the switch control means which control ON and OFF of the aforementioned switch group. Moreover, other drive circuit systems by this invention are characterized by including further the 1st precharge means which precharges the aforementioned output terminal on at least one kind of voltage. Other drive circuit systems by this invention are characterized by including further the

2nd precharge means which precharges the gate voltage of the n channel type transistor of the above 1st on the 1st predetermined voltage, and the 3rd precharge means which precharges the gate voltage of the p-channel type transistor of the above 1st on the 2nd predetermined voltage. in addition, aforementioned the 1- the 6th current control circuit is characterized by consisting of the n channel types or the p-channel type current control transistors in which current control is carried out by control of the voltage between the gate sources

[0019] The 1st n channel type transistor which has the voltage between the gate sources as the aforementioned n channel type current control transistor contained in the above-mentioned drive circuit or the above-mentioned drive circuit system with the same bias circuit by this invention, Have the same voltage between the gate sources as the aforementioned p-channel type current control transistor contained in the above-mentioned drive circuit or the above-mentioned drive circuit system, and the current between the drain sources of a size equal to the current between the drain sources of the n channel type transistor of the above 1st It is characterized by including the 1st p-channel type transistor which it has.

[0020] The above-mentioned drive circuit is characterized as two or more implications by other drive circuit systems by this invention, and they are further characterized by sharing a bias circuit in two or more drive circuits including the above-mentioned bias circuit.

[0021] The above-mentioned drive circuit system is characterized as two or more implications by the drive circuit apparatus by this invention, and it is further characterized by sharing a bias circuit by two or more drive circuit systems including the above-mentioned bias circuit.

[0022] An operation of the drive circuit of this invention is explained below.

[0023] Control of the current between the drain sources fixes the voltage between the gate sources of the 1st transistor uniquely. Therefore, if input voltage V_{in} is inputted into the source of the 1st transistor, the gate (drain) of the 1st transistor will serve as voltage from which only the voltage between the gate sources of the 1st transistor shifted [input voltage / V_{in}]. On the other hand, if the 2nd transistor receives supply voltage in a drain and receives voltage equal to the gate of the 1st transistor in the gate, source-follower operation of it will be attained. If the current between the drain sources of the 2nd transistor is controlled here, the voltage between the gate sources of the 2nd transistor will also become settled uniquely, and the output voltage V_{out} taken out from the source of the 2nd transistor will become stable on the voltage from which

only the voltage between the gate sources of the 2nd transistor shifted [gate / of the 2nd transistor].

[0024] Therefore, it is possible by controlling the current between the drain sources of the 1st and 2nd transistors to take out the voltage according to input voltage V_{in} as output voltage V_{out} . Moreover, when input voltage V_{in} changes, it is possible to change output voltage V_{out} to the voltage according to input voltage V_{in} promptly by source-follower operation of the 2nd transistor.

[0025]

[Embodiments of the Invention] Next, one gestalt of operation of this invention is explained with reference to a drawing. In addition, in each drawing referred to in the following explanation, the same sign is given to other drawings and equivalent portions. Moreover, each drawing showed the circuitry from which the number of power supplies serves as the minimum.

[0026] Drawing 1 is the block diagram showing one gestalt of operation of the drive circuit by this invention. In this drawing, two transistors 1 and 2 of the same conductivity type which has a common-gate electrode are formed. The gate is connected with a drain and, as for the transistor 1, the source is connected to the input terminal T1. A drain is connected to a power terminal T3, and, as for the transistor 2, the source is connected to the output terminal T2. In between, the current control circuit 3 is connected with a power terminal T3 and the drain (gate) of a transistor 1, and the current which flows from a power terminal T3 to an input terminal T1 is controlled to I_1 . The current control circuit 4 is connected between an input terminal T1 and a power terminal T4, and the current which flows from an input terminal T1 to a power terminal T4 is controlled to I_2 . The current control circuit 5 is connected between an output terminal T2 and a power terminal T4, and the current which flows from an output terminal T2 to a power terminal T4 is controlled to I_3 . Voltage E1 and E2 is given to power terminals T3 and T4, respectively. Moreover, the capacitive load shall be connected to an output terminal T2. In addition, it is shown that the sign in drawing 1 "S" is the source terminal of a transistor. Also in other drawings, it considers as the same thing.

[0027] Operation of the drive circuit of drawing 1 is explained below. When input voltage V_{in} is inputted into an input terminal T1, the gate voltage V_1 of a transistor 1 turns into voltage from which only the voltage V_{gs1} between the gate sources of a transistor 1 shifted [input voltage / V_{in}], and is $V_1 = V_{in} + V_{gs1}$. -- (1)

It is come out and expressed. At this time, a transistor has the property (it is henceforth described as an I_{ds} - V_{gs} property) that it is peculiar between the current I_{ds}

between the drain sources, and the voltage V_{gs} between the gate sources, and the voltage V_{gs1} between the gate sources of a transistor 1 becomes settled uniquely by the I_{ds} - V_{gs} property and current I_1 of a transistor 1. When voltage between the gate sources in case the current between the drain sources of a transistor 1 is set to I_1 is set to V_{gs1} (I_1), the gate voltage V_1 of a transistor 1 is $V_1 = V_{in} + V_{gs1}$ (I_1). -- (2)

It comes out and becomes stable.

[0028] Moreover, when voltage V_1 is impressed to the gate of a transistor 2, output voltage V_{out} turns into voltage from which only the voltage V_{gs2} between the gate sources of a transistor 2 shifted [voltage / V_1], and is $V_{out} = V_1 - V_{gs2}$. -- (3)

It is come out and expressed. And output voltage V_{out} is stabilized in the place where the current between the drain sources of a transistor 2 becomes equal to I_3 . The voltage V_{gs2} between the gate sources of the transistor 2 at this time serves as V_{gs2} (I_3) by the I_{ds} - V_{gs} property and current I_3 of a transistor 2, and output voltage V_{out} is $V_{out} = V_1 - V_{gs2}$ (I_3). -- (4)

It comes out and becomes stable.

[0029] The output voltage V_{out} when input voltage V_{in} is fixed is $V_{out} = V_{in} + V_{gs1}(I_1) - V_{gs2}(I_3)$ from a formula (2) and a formula (4). -- (5)

It becomes. At this time, the output voltage range turns into a voltage range only with the narrow voltage difference of the voltage V_{gs2} (I_3) between the gate sources of a transistor 2 from the voltage range of supply voltage E1 and supply voltage E2 at least.

[0030] If current I_1 and I_3 is controlled so that the voltage V_{gs1} (I_1) and V_{gs2} (I_3) between each gate sources of transistors 1 and 2 becomes equal here, output voltage V_{out} will turn into input voltage V_{in} and equal voltage from a formula (5). Moreover, if element size and current I_1 and I_3 of transistors 1 and 2 from which $V_{gs1}(I_1) - V_{gs2}(I_3)$ does not change are set up even if property change of a transistor arises, the highly precise voltage output by property change of a transistor is possible. If it performs setting up equally the element size and current I_1 and I_3 of transistors 1 and 2, respectively, or specifically arranging the channel length of transistors 1 and 2, and setting up current I_1 and I_3 according to a channel width ratio etc., the voltage output by the threshold voltage variation of a transistor is possible.

[0031] Moreover, if current I_2 is controlled to become equal to current I_1 , the current-supply-source capacity of the external circuit which supplies input voltage V_{in} can operate the drive circuit of drawing 1 easily also by the low case. In addition, although the drive circuit of drawing 1 can operate even when there is no current control circuit 4, sufficient current-supply-source capacity for the external circuit which supplies input

voltage V_{in} in that case is needed.

[0032] Next, operation in case input voltage V_{in} changes is explained. If the capacity of the common gate of transistors 1 and 2 is small enough when input voltage V_{in} changes, voltage V_1 will change to the voltage which follows in footsteps of change of input voltage V_{in} comparatively promptly, and is expressed with a formula (2). In changing so that input voltage V_{in} may approach voltage E_1 here, output voltage V_{out} changes with source-follower operation of a transistor 2 to the voltage expressed with a formula (5) promptly. On the other hand, in changing so that input voltage V_{in} may approach voltage E_2 , a transistor 2 becomes off temporarily and output voltage V_{out} changes to the voltage expressed with a formula (5) according to the current-supply-source capacity of current I_3 . In addition, although the current-supply-source capacity by source-follower operation of a transistor 2 declines as the voltage between the gate sources of a transistor 2 approaches a threshold voltage, also at the lowest, it has the current-supply-source capacity of current I_3 . That is, the drive capacity of the drive circuit of drawing 1 has the high drive capacity by source-follower operation of a transistor 2, when changing so that input voltage V_{in} may approach voltage E_1 , and when changing so that input voltage V_{in} may approach voltage E_2 , it has the drive capacity depending on current I_3 . And if the current control circuit 5 adjusts current I_3 , the drive capacity of the drive circuit of drawing 1 can be changed.

[0033] If the drive circuit of drawing 1 can have high drive capacity with easy composition as mentioned above and the element size and current I_1 and I_3 of transistors 1 and 2 are set up in consideration of property change of a transistor, the high precision output by property change of a transistor is realizable.

[0034] Moreover, in drawing 1, although transistors 1 and 2 are expressed with the element sign of an MOS transistor, it has the same effect by operation with the same said of other field-effect transistors. Moreover, even when it transposes to the bipolar transistor which used the drain as the collector for transistors 1 and 2, used the gate as the base, and used the source as the emitter, it has the same effect. This is the same also in the form of the following operations, and each explanation is omitted. The drive circuit which used the MOS transistor explains also with the form of the following operations.

[0035] Drawing 2 is the circuit diagram showing the form of operation of the 2nd of the drive circuit concerning this invention. As a precharge circuit which precharges the common gate of transistors 1 and 2 in the drive circuit of drawing 1, a switch 11 is connected with a power terminal T3 and the common gate of

transistors 1 and 2 in between, and, as for drawing 2, the switch 12 is connected between the output terminal T2 and the power terminal T4 as a precharge circuit which precharges an output terminal T2. moreover, between the source of a transistor 1, and an input terminal T1 The switch 21 which can intercept the current between the drain sources of a transistor 1 is connected. Between an input terminal T1 and a power terminal T4, the switch 22 which can intercept current I_2 is connected. between a power terminal T3 and an output terminal T2 The switch 23 which can intercept the current between the drain sources of a transistor 2 is connected, and the switch 24 which can intercept current I_3 is connected between the output terminal T2 and the power terminal T4.

[0036] Operation of the drive circuit of drawing 2 is explained with reference to drawing 3. In addition, drawing 3 shows 1 output period which outputs the voltage of arbitrary level.

[0037] Switches 11 and 12 are made off [ON and switches 21, 22, 23, and 24] at introduction and time t_0 . Consequently, the common gate of transistors 1 and 2 is precharged at voltage E_1 , and an output terminal T2 is precharged at voltage E_2 .

[0038] Next, at time t_1 , a switch 11 is set to OFF and switches 21 and 22 are set to ON. Consequently, the voltage V_1 of the common gate of transistors 1 and 2 changes with operations of a transistor 1 to the voltage from which only the voltage between the gate sources of a transistor 1 shifted [input voltage / V_{in}] promptly, and it is stabilized on the voltage expressed with a formula (2).

[0039] Next, at time t_2 , a switch 12 is set to OFF and switches 23 and 24 are set to ON. Consequently, output voltage V_{out} changes to the voltage expressed with a formula (5) promptly, and output voltage V_{out} is maintained by source-follower operation of a transistor 2 till time t_3 .

[0040] In addition, the output voltage range is the same as that of the drive circuit of drawing 1. Moreover, if current I_1 and I_3 is controlled like the drive circuit of drawing 1 so that the voltage V_{gs1} (I_1) and V_{gs2} (I_3) between each gate sources of transistors 1 and 2 becomes equal If output voltage V_{out} can be made into voltage equal to input voltage V_{in} and the element size and current I_1 and I_3 of transistors 1 and 2 are further set up in consideration of property change of a transistor, the high precision output by property change of a transistor is realizable.

[0041] Moreover, if current I_2 is controlled to become equal to current I_1 , even when the current-supply-source capacity of the external circuit which supplies input voltage V_{in} is low, the drive circuit of drawing 2 can be operated easily.

[0042] Next, the different feature from the drive circuit of drawing 1 of the drive circuit of drawing 2 is explained. The drive circuit of drawing 2 is what improved the drive circuit of drawing 1, and it can reduce power consumption, without reducing drive capacity. In the drive circuit of drawing 1, in changing so that input voltage V_{in} may approach supply voltage $E2$, if current $I3$ is enlarged in order to make drive capacity high, depending on current $I3$, ***** will increase drive capacity. However, in changing so that input voltage V_{in} may approach supply voltage $E1$, it has high drive capacity by source-follower operation of a transistor 2. Then, an output terminal $T2$ is made to precharge on voltage $E2$ for every 1 output period which outputs the voltage of arbitrary level, and it is made to be made to perform the voltage output of each output period by the high drive capacity by source-follower operation of a transistor 2 each time in the drive circuit of drawing 2. Even if this suppresses current $I1$, $I2$, and $I3$, a high-speed drive can be performed, and ***** can be reduced. In addition, as long as it is the voltage in which a transistor 2 carries out source-follower operation among time $t2-3$, except voltage $E2$, and it may prepare two or more precharge power supplies which responded to input voltage V_{in} . [the precharge voltage of an output terminal $T2$]

[0043] Moreover, the common gate of the transistors 1 and 2 by the switch 11 does not necessarily need to be precharged, when current $I1$ is to some extent large. However, when suppressing current $I1$ very small, charging or discharging the gate capacitance of transistors 1 and 2 can take time to change of input voltage V_{in} , and voltage of the common gate of transistors 1 and 2 may be promptly changed to the voltage $V1$ of a formula (2). In this case, by precharging the common gate of transistors 1 and 2 at the beginning of each output period, a transistor 1 can carry out source-follower operation, and the voltage of the common gate of transistors 1 and 2 can be promptly changed to the voltage $V1$ of a formula (2).

[0044] Moreover, switches 21, 22, 23, and 24 are controlled during each precharge period by switches 11 and 12 to intercept the current which flows between each terminal of an input terminal $T1$, an output terminal $T2$, and power terminals $T3$ and $T4$. Excessive current can be intercepted by this and consumption of the power accompanying precharge can be held down to the minimum.

[0045] In addition, in the drive circuit of drawing 2, even when there are no current control circuits 3, 4, and 5, it can operate once. In this case, the voltage between the gate sources serves as near a threshold voltage, and transistors 1 and 2 are stabilized by voltage $V1$ and

output voltage V_{out} in the place where the current between the drain sources will hardly flow. However, there is a problem that voltage $V1$ and output voltage V_{out} are not easily stabilized to the change of potential between the gate sources in near a threshold voltage as change of the current between the drain sources is loose. And it will depend for time until voltage $V1$ and output voltage V_{out} are stabilized on the capacity of the capacitive load connected to the gate capacitance and output terminal $T2$ of a common gate of transistors 1 and 2, respectively greatly. Therefore, it is desirable to control the current which is not influenced by the gate capacitance of transistors 1 and 2 and the capacity of a capacitive load, but forms the current control circuits 3, 4, and 5 in order to stabilize voltage $V1$ and output voltage V_{out} promptly by sufficient current-supply-source capacity, and is passed to transistors 1 and 2. As mentioned above, the drive circuit of drawing 2 has always high drive capacity by precharging an output terminal $T2$, and a low power can also be realized by suppressing current $I1$, $I2$, and $I3$.

[0046] Next, the example of the drive circuit of drawing 2 is explained. Drawing 4 is a drive circuit which shows the example of the drive circuit of drawing 2. In drawing 4, the transistors 1 and 2 of drawing 2 are constituted from NMOS transistors 101 and 102, and supply voltage $E1$ and $E2$ is set to VDD and VSS ($VDD > VSS$), respectively. Moreover, the current control circuits 3, 4, and 5 of drawing 2 are set to 103, 104, and 105, and current is controlled to $I11$, $I12$, and $I13$, respectively. Moreover, the switches 11, 12, 21, 22, 23, and 24 of drawing 2 are set to 111, 112, 121, 122, 123, and 124, and the above-mentioned switches 111, 112, 121, 122, 123, and 124 perform the respectively same control as the switches 11, 12, 21, 22, 23, and 24 of drawing 3. Moreover, voltage of the common gate of transistors 101 and 102 is set to $V10$.

[0047] Drawing 5 is the voltage waveform of the control signal timing of the switches 111, 112, 121, 122, 123, and 124 of drawing 4 and input voltage V_{in} , output voltage V_{out} , and voltage $V10$.

[0048] 1 output period which outputs the voltage of arbitrary level to drawing 5 (a) is shown. Moreover, drawing 5 (b) is a voltage-waveform view in the case of outputting input voltage V_{in} and equal voltage to output voltage V_{out} . In drawing 5, voltage $V10$ is precharged on voltage VDD to time $t0$, and it changes to the voltage from which only the voltage V_{gs101} ($I11$) between the gate sources of a transistor 101 shifted [input voltage / V_{in}] after time $t1$, and is $V10 = V_{in} + V_{gs101}$ ($I11$). -- (6)

It comes out and becomes stable. It is precharged on voltage VSS to time $t0$, and changes to the voltage from which only the voltage V_{gs102} ($I13$) between the gate

sources of a transistor 102 shifted [voltage / V_{I0}] after time t_2 , and output voltage V_{out} is $V_{out}=V_{I0}-V_{gs102}$ (I13). -- (7)

It comes out and becomes stable. V_{gs101} (I11) and V_{gs102} (I13) are positive values, and if current I_{11} and I_{13} is controlled to both become equal, output voltage V_{out} will become equal to input voltage V_{in} from a formula (6) and a formula (7) here. Moreover, the output voltage range is $V_{SS} \leq V_{out} \leq V_{DD}-V_{gs102}$ (I13) at this time. -- (8)

It becomes.

[0049] Drawing 6 is a drive circuit which shows another example of the drive circuit of drawing 2. In drawing 6, the transistors 1 and 2 of drawing 2 are constituted from PMOS transistors 201 and 202, and supply voltage E_1 and E_2 is set to V_{SS} and V_{DD} ($V_{DD} > V_{SS}$), respectively. Moreover, the current control circuits 3, 4, and 5 of drawing 2 are set to 203, 204, and 205, and current is controlled to I_{21} , I_{22} , and I_{23} , respectively. Moreover, the switches 11, 12, 21, 22, 23, and 24 of drawing 2 are set to 211, 212, 221, 222, 223, and 224, and the above-mentioned switches 211, 212, 221, 222, 223, and 224 perform the respectively same control as the switches 11, 12, 21, 22, 23, and 24 of drawing 3. Moreover, voltage of the common gate of transistors 201 and 202 is set to V_{20} .

[0050] Drawing 7 is the voltage waveform of the control signal timing of the switches 211, 212, 221, 222, and 223 of drawing 6 and input voltage V_{in} , output voltage V_{out} , and voltage V_{20} . 1 output period which outputs the voltage of arbitrary level to drawing 7 (a) is shown. Moreover, drawing 7 (b) is a voltage-waveform view in the case of outputting input voltage V_{in} and equal voltage to output voltage V_{out} .

[0051] In drawing 7, voltage V_{20} is precharged on voltage V_{SS} to time t_0 , and it changes to the voltage from which only the voltage V_{gs201} (I21) between the gate sources of a transistor 201 shifted [input voltage / V_{in}] after time t_1 , and is $V_{20}=V_{in}+V_{gs201}$ (I21). -- (9)

It comes out and becomes stable. It is precharged on voltage V_{DD} to time t_0 , and changes to the voltage from which only the voltage V_{gs202} (I23) between the gate sources of a transistor 202 shifted [voltage / V_{20}] after time t_2 , and output voltage V_{out} is $V_{out}=V_{20}-V_{gs202}$ (I23). -- (10)

It comes out and becomes stable. V_{gs201} (I21) and V_{gs202} (I23) are negative values, and if current I_{21} and I_{23} is controlled to both become equal, output voltage V_{out} will become equal to input voltage V_{in} from a formula (9) and a formula (10) here. Moreover, the output voltage range is $V_{SS}-V_{gs202}$ (I23) $\leq V_{out} \leq V_{DD}$ at this time. -- (11)

It becomes.

[0052] Drawing 8 is the circuit diagram showing the gestalt of operation of the 3rd of the drive circuit concerning this invention. In drawing 8, two n channel type transistors 301 and 302 which have a common-gate electrode, and two p-channel type transistors 401 and 402 which have a common-gate electrode are formed. The gate is connected with a drain and, as for the transistor 301, the source is connected to the input terminal T1. A drain is connected to a power terminal T3, and, as for the transistor 302, the source is connected to the output terminal T2. The gate is connected with a drain and, as for the transistor 401, the source is connected to the input terminal T1. A drain is connected to a power terminal T4, and, as for the transistor 402, the source is connected to the output terminal T2. In between, the current control circuit 303 is connected with a power terminal T3 and the drain (gate) of a transistor 301, and the current which flows from a power terminal T3 to an input terminal T1 is controlled to I_{31} . In between, the current control circuit 403 is connected with a power terminal T4 and the drain (gate) of a transistor 401, and the current which flows from an input terminal T1 to a power terminal T4 is controlled to I_{41} . Voltage V_{DD} and V_{SS} ($V_{DD} > V_{SS}$) is given to power terminals T1 and T2, respectively. Moreover, the capacitive load shall be connected to an output terminal T2.

[0053] Operation of the drive circuit of drawing 8 is explained below. When input voltage V_{in} is inputted into an input terminal T1, each gate voltage V_{30} and V_{40} of transistors 301 and 401 turns into voltage from which only the voltage between the gate sources shifted [input voltage / V_{in}], and is $V_{30}=V_{in}+V_{gs301}$ (I31). -- (12)

$V_{40}=V_{in}+V_{gs401}$ (I41) -- (13)

It comes out and becomes stable. On the other hand, output voltage V_{out} becomes stable in the place where it becomes the voltage from which only the voltage between each gate sources of transistors 302 and 402 shifted [voltage / V_{30} and V_{40}] at, and the current between each drain sources of transistors 302 and 402 becomes equal. Output voltage V_{out} is [I_c , then] $V_{out}=V_{in}+V_{gs301}(I_{31})-V_{gs302}(I_c)$ about the current between the drain sources of the transistors 302 and 402 at this time.

$= V_{in}+V_{gs401}(I_{41})-V_{gs402}(I_c)$ -- (14)

It becomes. moreover, the output voltage range -- the transistors 302 and 402 from the voltage range of voltage V_{DD} and voltage V_{SS} -- only the voltage difference between each gate source serves as a narrow voltage range

[0054] If current I_{31} and I_{41} is equal here, the voltage V_{gs301} (I31) and V_{gs302} between the gate sources of transistors 301 and 302 (I_c) is equal respectively and

the voltage V_{gs401} (I_{41}) and V_{gs402} between the gate sources of transistors 401 and 402 (I_c) is equal, output voltage V_{out} will become equal to input voltage V_{in} . Moreover, when current I_{31} and I_{41} is equal, the current-supply-source capacity of the external circuit which supplies input voltage V_{in} can operate the drive circuit of drawing 1 easily also by the low case.

[0055] Next, operation in case input voltage V_{in} changes is explained. If the capacity of the common gate of transistors 301 and 302 and the common gate of transistors 401 and 402 is small enough when input voltage V_{in} changes, voltage V_{30} and V_{40} will change to the voltage which follows in footsteps of change of input voltage V_{in} comparatively promptly, and is expressed with a formula (12) and a formula (13). When input voltage V_{in} changes to a high-voltage side (VDD side) here, a transistor 402 becomes off temporarily and can pull up output voltage V_{out} promptly by source-follower operation of a transistor 302. On the other hand, when input voltage V_{in} changes to a low-battery side (VSS side), a transistor 302 becomes off temporarily and output voltage V_{out} is reduced promptly. That is, since a transistor 302 or a transistor 402 carries out source-follower operation whichever input voltage V_{in} changes by the side of the high voltage or a low battery, the drive circuit of drawing 8 can have always high drive capacity.

[0056] In addition, the drive circuit of drawing 8 can adjust Current I_c , if the size of transistors 401 and 402 is adjusted in consideration of an I_{ds} - V_{gs} property to transistors 301 and 302. Therefore, it can also be considered that the composition by which the current between an input terminal T1 and a power terminal T4 is controlled, and the current between an output terminal T2 and a power terminal T4 is controlled is the example of change of the drive circuit which constituted transistors 1 and 2 from an NMOS transistor in the drive circuit of drawing 1. Since similarly it is possible to adjust Current I_c when the size of transistors 301 and 302 is adjusted to transistors 401 and 402, it can also be regarded as the example of change of the drive circuit which constituted transistors 1 and 2 from a PMOS transistor in the drive circuit of drawing 1. That is, the drive circuit of drawing 8 is a drive circuit with the performance of both the drive circuit which constituted transistors 1 and 2 from an NMOS transistor in the drive circuit of drawing 1, and the drive circuit which constituted transistors 1 and 2 from a PMOS transistor.

[0057] Drawing 9 is the circuit diagram showing the gestalt of operation of the 4th of the drive circuit concerning this invention. Drawing 9 makes common connection of drawing 4 and input terminal T1 of each drive circuit of drawing 6, output terminal T2, the

power terminals to which voltage VDD was given, and the power terminals to which voltage VSS was given. In addition, each element number of drawing 9 uses drawing 4 and the element number of drawing 6 as it is. However, about a power terminal, the power terminal to which supply voltage VDD was given is set to T3, and the power terminal to which supply voltage VSS was given is set to T4. Moreover, the capacitive load shall be connected to an output terminal T2.

[0058] Operation of the drive circuit of drawing 9 is explained with reference to drawing 10. 2 output periods of 1 output period (time t_0 - t_3) which outputs the voltage of the arbitrary level below voltage V_m to drawing 10 (a), and 1 output period (time t_0' - t_3') which outputs the voltage of the arbitrary level more than voltage V_m are shown. To drawing 10 (b), moreover, the voltage V_{gs101} (I11) between the gate sources of transistors 101 and 102, V_{gs102} (I13) is equal respectively. The voltage V_{gs201} (I21) between the gate sources of transistors 201 and 202, It is a voltage-waveform view in the case of controlling current I11, I13, I21, and I23 so that V_{gs202} (I23) becomes equal, respectively, and outputting input voltage V_{in} and equal voltage to output voltage V_{out} .

[0059] In drawing 10, by time t_0 - t_3 , switches 111, 112, 121, 122, 123, and 124 perform the same switch control as drawing 5, and switches 211, 212, 221, 222, 223, and 224 are altogether set to OFF. Consequently, the voltage waveform of drawing 10 becomes being the same as that of the voltage waveform of drawing 5. Moreover, time t_0' - In t_3' , switches 211, 212, 221, 222, 223, and 224 perform the same switch control as drawing 7, and switches 111, 112, 121, 122, 123, and 124 are altogether set to OFF. Consequently, the voltage waveform of drawing 10 becomes being the same as that of the voltage waveform of drawing 7. That is, operation of the drive circuit of drawing 9 operates the drive circuit of drawing 4, when outputting the voltage of the arbitrary level below voltage V_m , and when outputting the voltage of the arbitrary level more than voltage V_m , it is made to operate the drive circuit of drawing 6. Therefore, the drive circuit of drawing 9 has the same drive capacity as drawing 4 and the drive circuit of drawing 6.

[0060] Moreover, when the output voltage range of the drive circuit of drawing 9 outputs input voltage V_{in} and equal voltage to output voltage V_{out} , it becomes a formula (8) at the time of drive circuit operation of drawing 4, and becomes a formula (11) at the time of drive circuit operation of drawing 6. Here, it is voltage V_m V_{SS} - V_{gs202} (I23) $\leq V_m \leq V_{DD}$ - V_{gs102} (I13) -- (15)

If it sets up so that it may become, output voltage V_{out} will be $V_{SS} \leq V_{out} \leq V_{DD}$. -- (16)

The output voltage range of a next door and the drive circuit of drawing 9 can be made equal to a power range.

[0061] Moreover, when the drive circuit of drawing 9 outputs the voltage of the arbitrary level below voltage V_m , an output terminal T2 is precharged at voltage VSS. Since an output terminal T2 is precharged at voltage VDD when outputting the voltage of the arbitrary level more than voltage V_m Compared with the case where it is precharged in drawing 4 or the drive circuit of drawing 6 at either supply voltage VSS or the supply voltage VDD, there is little charge-and-discharge power accompanying precharge, and it can also perform precharge at high speed.

[0062] As mentioned above, the drive circuit of drawing 9 has the same drive capacity as drawing 4 and the drive circuit of drawing 6, and has an output voltage range equal to a power range. Furthermore, power consumption can be further reduced from drawing 4 or the drive circuit of drawing 6.

[0063] Drawing 11 is a drive circuit which shows the example of the drive circuit of drawing 9. In drawing 11, the current control circuits 104, 105, and 203 of drawing 9 consist of NMOS transistors, and the current control circuits 103, 204, and 205 consist of PMOS transistors. And it is controlled by arbitrary current by giving predetermined voltage to each gate of the above-mentioned current control transistors 103, 104, 105, 203, 204, and 205. in addition, the terminal T6 with which, as for the gate of the NMOS transistors 104, 105, and 203, bias voltage BIASN was given in drawing 11 - - connecting - - the PMOS transistors 103, 204, and 205 - - each gate is connected to the terminal T5 with which bias voltage BIASP was given In addition, even when the gate bias voltage of two or more current control transistors is common, it is possible by adjusting the size of a transistor to pass arbitrary current. Moreover, you may change bias voltage for every current control transistor.

[0064] Drawing 12 is the circuit diagram showing change of the drive circuit of drawing 11. Drawing 12 improves the drive circuit of drawing 11, has few element numbers than the drive circuit of drawing 11, and is the drive circuit which reduced the kind of switch control signal. The drive circuit of drawing 12 is a circuit which removed the current control circuits 104 and 204 and switches 122 and 222, and newly added the PMOS transistor 131 and the NMOS transistor 231 from the drive circuit of drawing 11. The source and a drain are connected to the gate (drain) of the NMOS transistor 101, and the source, respectively, and, as for the PMOS transistor 131, voltage BIASP is connected to the given terminal T5, as for the gate. The source and a drain are connected to the gate (drain) of the PMOS

transistor 201, and the source, respectively, and, as for the NMOS transistor 231, voltage BIASN is connected to the given terminal T6, as for the gate. Moreover, the PMOS transistor 131 has a threshold voltage smaller than the PMOS transistor 103, and to the same gate voltage, with current-supply-source capacity sufficiently higher than the PMOS transistor 103, the NMOS transistor 231 shall also have a small threshold voltage, and it shall have current-supply-source capacity sufficiently higher than the NMOS transistor 203 for it from the NMOS transistor 203 to the same gate voltage. And the circuit block which consists of an NMOS transistor 101 and PMOS transistors 103 and 131 is considered as the circuit block 130, and the circuit block which consists of a PMOS transistor 201 and NMOS transistors 203 and 231 is considered as the circuit block 230. In addition, in the drive circuit of drawing 12, the element number of drawing 11 is used as it is about the same element as drawing 11.

[0065] Operation of the drive circuit of drawing 12 is explained with reference to drawing 13. 2 output periods of 1 output period (time t_0 - t_3) which outputs the voltage of the arbitrary level below voltage V_m to drawing 13 (a), and 1 output period (time t_0' - t_3') which outputs the voltage of the arbitrary level more than voltage V_m are shown. Moreover, the voltage-waveform view in the case of outputting voltage equal to input voltage V_{in} to drawing 13 (b) as output voltage V_{out} is shown. In addition, the control timing of the switches 112, 123, 124, 212, 223, and 224 in drawing 13 is the same as that of drawing 10.

[0066] The drive circuit of drawing 12 makes a switch 221 consider the same operation as the current control circuit 104 of the drive circuit of drawing 11, and a switch 122 as the circuit block 230, and makes a switch 121 consider the same operation as the current control circuit 204 of the drive circuit of drawing 11, and a switch 222 as the circuit block 130 between time t_0' - t_3' among time t_0 -3. Operation of the drive circuit of drawing 12 is explained below.

[0067] In 1 output period (time t_0 - t_3) which outputs the voltage of the arbitrary level below introduction and voltage V_m , switches 111 and 211 are made off [ON and switches 121 and 221] at time t_0 . Consequently, the common gate of transistors 101 and 102 is precharged at voltage VDD, and the common gate of transistors 201 and 202 is precharged at voltage VSS. Moreover, a switch 112 is made off [ON and switches 123 and 124], and an output terminal T2 is precharged at voltage VSS. In addition, switches 212, 223, and 224 are made off between time t_0 -3.

[0068] Next, at time t_1 , switches 111 and 211 are set to OFF and switches 121 and 221 are set to ON. Consequently, the voltage V_{10} of the common gate of

transistors 101 and 102 and the voltage V20 of the common gate of transistors 201 and 202 change with operations of transistors 101 and 201 to the voltage from which only the voltage between the gate sources shifted [input voltage / V_{in}], respectively promptly, and it is $V_{10}=V_{in}+V_{gs101}$ (I11), respectively. -- (16)

$V_{20}=V_{in}+V_{gs201}$ (I21) -- (17)

It comes out and becomes stable. At this time, transistors 131 and 231 will be in an OFF state, and do not operate. Moreover, current I11 flows between a power terminal T3 and an input terminal T1, and current I21 flows between an input terminal T1 and a power terminal T4.

[0069] Next, at time t2, a switch 112 is set to OFF and switches 123 and 124 are set to ON. Consequently, output voltage Vout changes with source-follower operation of a transistor 102 to the voltage from which only the voltage between the gate sources of a transistor 102 shifted [voltage / V_{10}] promptly, and it is $V_{out}=V_{10}-V_{gs102}$ (I13). -- (18)

It comes out and becomes stable. If current I11 and I13 is controlled so that the voltage V_{gs101} (I11) and V_{gs102} (I13) between the gate sources of transistors 101 and 102 becomes equal here, output voltage Vout will output voltage equal to input voltage Vin.

[0070] In 1 output period (time t0'-t3') which outputs the voltage of the arbitrary level below voltage Vm, switches 111 and 211 are made off [ON and switches 121 and 221] in time t0'. Consequently, the common gate of transistors 101 and 102 is precharged at voltage VDD, and the common gate of transistors 201 and 202 is precharged at voltage VSS. Moreover, a switch 212 is made off [ON and switches 223 and 224], and an output terminal T2 is precharged at voltage VDD. In addition, switches 112, 123, and 124 are made off between time t0'-t3'.

[0071] Next, in time t1', switches 111 and 211 are set to OFF and switches 121 and 221 are set to ON. Consequently, the voltage V10 of the common gate of transistors 101 and 102 and the voltage V20 of the common gate of transistors 201 and 202 change with operations of transistors 101 and 201 to the voltage from which only the voltage between the gate sources shifted [input voltage / V_{in}], respectively promptly, and it becomes stable on the voltage expressed with a formula (16) and a formula (17), respectively. At this time, transistors 131 and 231 will be in an OFF state, and do not operate. Moreover, current I11 flows between a power terminal T3 and an input terminal T1, and current I21 flows between an input terminal T1 and a power terminal T4.

[0072] Next, in time t2', a switch 212 is set to OFF and switches 223 and 224 are set to ON. Consequently, output voltage Vout changes with source-follower

operation of a transistor 202 to the voltage from which only the voltage between the gate sources of a transistor 102 shifted [voltage / V_{20}] promptly, and it is $V_{out}=V_{20}-V_{gs202}$ (I23). -- (19)

It comes out and becomes stable. If current I21 and I23 is controlled so that the voltage V_{gs201} (I21) and V_{gs202} (I23) between the gate sources of transistors 201 and 202 becomes equal here, output voltage Vout will output voltage equal to input voltage Vin.

[0073] In addition, when current I11 and I21 is equal, the current-supply-source capacity of the external circuit which supplies input voltage Vin can operate the drive circuit of drawing I2 easily also by the low case.

[0074] The above operation has input voltage Vin to some extent higher than voltage VSS, and is operation in case transistors 101 and 201 are ON states in the case of the low voltage range to some extent than voltage VDD. Next, input voltage Vin explains operation in case near, a transistor 101, or a transistor 201 becomes with an OFF state to voltage VDD or voltage VSS below.

[0075] Although it becomes the voltage as which voltage V10 is expressed in time t1 by the formula (16) in the case of a voltage level with the input voltage Vin near voltage VSS among time t0-3, the voltage as which voltage V20 is expressed in a formula (17) does not become. Input voltage Vin is because, as for this, near and the voltage between the gate sources of a transistor 201 become off [a transistor 201] in the state below a threshold voltage at voltage VSS. Although the voltage V20 immediately after time t1 is the voltage VSS precharged between time t0-1, current is supplied to the drain of a transistor 203 by operation of a transistor 231 from an input terminal T1, and voltage V20 can be pulled up on the middle voltage of input voltage Vin and voltage VSS. If the current-supply-source capacity of a transistor 231 is higher than the current-supply-source capacity of a transistor 203 at this time, the current which flows to a power terminal T4 will turn into the current I21 controlled by the transistor 203 from an input terminal T1. Therefore, even when input voltage Vin becomes off [a transistor 201] by the voltage level near voltage VSS, current I21 can be passed between an input terminal T1 and a power terminal T4.

[0076] moreover, the time t0 -- 't3' -- although it becomes the voltage as which voltage V20 is expressed in time t1' by the formula (17) in the case of a voltage level with the input voltage Vin near voltage VDD in between, the voltage as which voltage V10 is expressed in a formula (16) does not become Input voltage Vin is because, as for this, near and the voltage between the gate sources of a transistor 101 become off [a transistor 101] in the state below a threshold voltage at voltage

VDD. Although the voltage V10 just behind time t1' is the voltage VDD precharged between time t0'-t1', current is supplied to an input terminal T1 by operation of a transistor 131 from the drain of a transistor 103, and voltage V10 is reduced by the middle voltage of input voltage Vin and voltage VDD. If the current-supply-source capacity of a transistor 131 is higher than the current-supply-source capacity of a transistor 103 at this time, the current which flows to an input terminal T1 will turn into the current I11 controlled by the transistor 103 from a power terminal T3. Therefore, even when input voltage Vin becomes off [a transistor 101] by the voltage level near voltage VDD, current I11 can be passed between a power terminal T3 and an input terminal T1.

[0077] As mentioned above, the circuit blocks 130 and 230 cannot be based on the voltage level of input voltage Vin, but can pass current I11 and I21, respectively, and the function of a current control circuit also has them.

[0078] That is, the operation as the switch 222 of the drive circuit of drawing 11 and the current control circuit 204 with a switch 121 and the circuit block 130 among time t0-3, a switch 221 and the circuit block 230 carry out the same operation as the switch 122 of the drive circuit of drawing 11 and the current control circuit 104, and same [operation of the drive circuit of drawing 12] between time t0'-t3' is carried out. Therefore, the operation of the whole drive circuit of drawing 12 is completely the same as an operation of the drive circuit of drawing 11, and the performance is also equal to the drive circuit of drawing 11.

[0079] Drawing 14 is the circuit diagram showing the form of operation of the current control circuit concerning this invention. In drawing 14, the circuit block 500 is the drive circuit which constituted the current control circuit from a transistor, and the circuit block 30 is a bias circuit for controlling a current control transistor with a sufficient precision. The circuit block 500 is the example of the drive circuit of drawing 1, uses the transistors 1 and 2 of drawing 1 as the NMOS transistors 501 and 502, and uses the current control circuits 3, 4, and 5 of drawing 1 as the PMOS transistor 503 and the NMOS transistors 504 and 505, respectively. The gate of the PMOS transistor 503 is connected to a terminal T5, and the gate of the NMOS transistors 504 and 505 is connected to a terminal T6. In addition, supply voltage VDD and VSS is given to power terminals T3 and T4, respectively.

[0080] The circuit block 30 is a bias circuit which supplies bias voltage to each gate of the transistors 503, 504, and 505 which act as a current control circuit. A bias circuit 30 consists of NMOS transistors 31 and 32 and PMOS transistors 33 and 34 which have the same

Ids-Vgs property. A drain is connected to a terminal T5, the source is connected to a power terminal T8, and, as for the NMOS transistor 31, voltage BIAS is given to the gate from the exterior. A drain and the gate are connected to a terminal T6, and, as for the NMOS transistor 32, the source is connected to a power terminal T8. A drain and the gate are connected to a terminal T5, and, as for the PMOS transistor 33, the source is connected to a power terminal T7. A drain is connected to a terminal T6, the gate is connected to a terminal T5, and, as for the PMOS transistor 34, the source is connected to a power terminal T7. Since common connection of the gate is made and the PMOS transistors 33 and 34 have the same Ids-Vgs property, the current between each drain sources is equal, and makes this current I4. Current I4 is controlled by voltage BIAS, and the voltage BIASP and BIASN of terminals T5 and T6 is controlled by current I4. In addition, supply voltage VDD and VSS is given to power terminals T7 and T8, respectively.

[0081] In consideration of property change of a transistor, each element size of the PMOS transistors 33 and 34, 503 and the NMOS transistor 32, 504 is designed here, and if current I4, I51, and I52 is set up so that current I51 and I52 may become equal, it can be made to make it not dependent on the current-supply-source capacity of the external circuit which supplies input voltage Vin, even if property change of a transistor arises. Moreover, in consideration of property change of a transistor, each element size of the PMOS transistors 33 and 34, 503 and the NMOS transistor 32, 505 is designed, and if current I4, I51, and I53 is set up so that the voltage between each gate sources of a transistor 501, 502 may become equal, even if property change of a transistor arises, voltage equal to input voltage Vin can be outputted.

[0082] As the easiest above-mentioned method, a transistor 501, 502 is designed in the same element size, the PMOS transistors 33 and 34, 503 are designed in the same element size, and the NMOS transistor 32, 504, 505 is further designed in the same element size. In this case, since the equal relation of current I4, I51, I52, and I53 is maintained even if current I4, I51, I52, and I53 is equal and property change of a transistor arises, it can be made to make it not dependent on the current-supply-source capacity of the external circuit which supplies input voltage Vin, and voltage equal to input voltage Vin can be outputted.

[0083] As mentioned above, the highly precise voltage output which it can be made to make it not depend for the drive circuit 500 on the current-supply-source capacity of the external circuit which supplies input voltage Vin, and is not dependent on property change of a transistor is realizable by forming a bias circuit 30 to

the drive circuit 500 which constituted the current control circuit from a transistor.

[0084] Drawing 15 is the circuit diagram showing the example of change of the bias circuit 30 of drawing 14. The bias circuit 40 of drawing 15 is the composition of having reduced the current which removes transistors 31 and 33 and is passed from the bias circuit 30 of drawing 14 to a bias circuit. Voltage BIAS (= voltage BIASP) is given from the exterior to the gate of the transistor 34 of the direct-drive circuit 500 and a bias circuit 40, and current I4 is controlled by drawing 15 by voltage BIASP. Also in drawing 15, like the case of drawing 14, in consideration of property change of a transistor, the element size of the transistors 32 and 34 of a bias circuit 40 and the current control transistor of the drive circuit 500 is designed, and if each current controlled by the current control transistor of current I4 and the drive circuit 500 is set up the optimal, the same operation and same effect as a bias circuit 30 can be acquired.

[0085] In addition, the drive circuit 500 in drawing 14 and drawing 15 can be transposed to drawing 11, the drive circuit of drawing 12, or the gestalt of other operations. Moreover, although drawing 14 and drawing 15 showed the case where the drive circuit 500, a bias circuit 30, or 40 was the composition of 1 to 1, when it has two or more drive circuits 500, it is also possible to share the singular bias circuit 30 or 40 between two or more of the drive circuits 500.

[0086] In relation to the publication of a claim, this invention can take the following mode further.

[0087] It is the drive circuit which drives a capacitive load. (1) The 1st - the 3rd constant current source, The 1st transistor to which the 1st constant current source of the above was connected to the drain terminal, and the 2nd constant current source of the above was connected to the source terminal, and the drain terminal and the gate terminal were connected further, The 2nd transistor which is the same conductivity type as the 1st transistor of the above, and a gate terminal is connected with the gate terminal of the 1st transistor of the above, and a source terminal is connected to the 3rd constant current source of the above, and carries out source-follower operation is included. The drive circuit characterized by having made the source terminal of the 1st transistor of the above into the input terminal, and making the source terminal of the 2nd transistor of the above into an output terminal.

[0088] It is the drive circuit which drives a capacitive load. (2) The 1st and 2nd constant current sources, The 1st transistor to which the 1st constant current source of the above was connected to the drain terminal, and the drain terminal and the gate terminal were connected, The 2nd transistor which is the same conductivity type

as the 1st transistor of the above and by which the gate terminal was connected with the gate terminal of the 1st transistor of the above, The 3rd transistor to which the 2nd constant current source of the above was connected to the drain terminal, and the drain terminal and the gate terminal were connected, The 4th transistor which is the same conductivity type as the 3rd transistor of the above and by which the gate terminal was connected with the gate terminal of the 3rd transistor of the above is included. The drive circuit characterized by having made the above 1st, the 2nd transistor and the above 3rd, and the 4th transistor into a different conductivity type, and having made the above 1st and the source terminal of the 3rd transistor into the input terminal, and making the above 2nd and the source terminal of the 4th transistor into an output terminal.

[0089] (3) external control - an input - answering - the above - the - one - and - the - two - a transistor - a gate terminal - predetermined - voltage - precharging - the - one - precharge - a means - further - containing - things - the feature - ** - carrying out - (- one -) - a publication - a drive - a circuit.

[0090] (4) external control - an input - answering - the above - the - one - and - the - two - a transistor - a gate terminal - and - the above - the - three - and - the - four - a transistor - a gate terminal - respectively - predetermined - voltage - precharging - the - one - precharge - a means - further - containing - things - the feature - ** - carrying out - (- two -) - a publication - a drive - a circuit.

[0091] (5) A drive circuit given in either of (1) - (4) characterized by including further the 2nd precharge means which answers an external-control input and precharges the aforementioned output terminal on predetermined voltage.

[0092] (6) the above - the - one - and - the - two - precharge - a means - the above - external control - an input - answering - on-off control action - carrying out - the above - a transistor - a drain - the source - between - current - controlling - a switch - containing - things - the feature - ** - carrying out - (- five -) - a publication - a drive - a circuit.

[0093] (7) (1) characterized by both making the above 1st and the 2nd transistor into either an N channel type MOS transistor and a P channel type MOS transistor, (3), (5), or a drive circuit given in (6).

[0094] (8) (2) characterized by having both made the above 1st and the 2nd transistor into either the N channel type MOS transistor and the P channel type MOS transistor, and both making the above 3rd and the 4th transistor into another side of an N channel type MOS transistor and a P channel type MOS transistor, (4), (5), or a drive circuit given in (6).

[0095] (9) the above -- the -- one -- -- the -- three -- a constant current source -- a transistor -- an element -- this -- a transistor -- an element -- corresponding -- preparing -- having -- the -- a gate voltage -- controlling -- a bias circuit -- constituting -- the -- the source -- a terminal -- a drain -- a terminal -- between -- current -- regularity -- carrying out -- having made -- things -- the feature -- ** -- carrying out -- a claim -- (- one --) -- - (- eight --)

[0096] (10) The aforementioned bias circuit which constitutes the above 1st - the 3rd constant current source, respectively is a drive circuit given in (9) characterized by giving the same gate voltage to the aforementioned corresponding transistor element according to the bias voltage inputted from the outside.

[0097] (11) Both the above 1st and - the 4th transistor are (1) - (5) characterized by being a bipolar mold transistor, having used the emitter terminal as the aforementioned source terminal, having made the base terminal into the aforementioned gate terminal, and using the collector terminal as the aforementioned drain terminal, or a drive circuit given in either of (9).

[0098] (12) Drive circuit system characterized by sharing the aforementioned bias circuit between two or more implications and these drive circuit for the drive circuit of a publication to either of (9) - (11).

[0099]

[Effect of the Invention] As explained above, by connecting gate terminals, connecting one gate terminal and drain terminal of a transistor, carrying out source-follower operation of the transistor of another side, and controlling the current between the drain sources of both transistors, this invention is easy circuitry and is effective in the ability to drive a capacitive load by high current-supply-source capacity.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the composition of the 1st of the gestalt of operation of the drive circuit by this invention.

[Drawing 2] It is the circuit diagram showing the composition of the 2nd of the gestalt of operation of the drive circuit by this invention.

[Drawing 3] It is the timing chart showing circuit operation of drawing 2 .

[Drawing 4] It is the circuit diagram showing the concrete circuit of drawing 2 .

[Drawing 5] The timing chart in which (a) shows operation of the circuit of drawing 4 , and (b) are the voltage-waveform views showing operation of the circuit of drawing 4 .

[Drawing 6] It is the circuit diagram showing another concrete circuit of drawing 2 .

[Drawing 7] The timing chart in which (a) shows operation of the circuit of drawing 6 , and (b) are the voltage-waveform views showing operation of the circuit of drawing 6 .

[Drawing 8] It is the circuit diagram showing the composition of the 3rd of the gestalt of operation of the drive circuit by this invention.

[Drawing 9] It is the circuit diagram showing the composition of the 4th of the gestalt of operation of the drive circuit by this invention.

[Drawing 10] The timing chart in which (a) shows operation of the circuit of drawing 9 , and (b) are the voltage-waveform views showing operation of the circuit of drawing 9 .

[Drawing 11] It is the circuit diagram showing the concrete circuit of drawing 9 .

[Drawing 12] It is the circuit diagram showing the example of change of drawing 11 .

[Drawing 13] The timing chart in which (a) shows operation of the circuit of drawing 12 , and (b) are the voltage-waveform views showing operation of the circuit of drawing 12 .

[Drawing 14] It is the circuit diagram showing the gestalt of operation of the current control circuit concerning this invention.

[Drawing 15] It is the circuit diagram showing the example of change of drawing 14 .

[Drawing 16] It is the circuit diagram showing the conventional drive circuit.

[Description of Notations]

1 Two Transistor

3, 4, 5 Current control circuit

11, 12, 21, 22, 23, 24 Switch

Vin Input voltage

Vout Output voltage

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-338461
(P2000-338461A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 3
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 B 5 C 0 0 6
3/36		3/36	5 C 0 8 0

審査請求 有 請求項の数22 O L (全 22 頁)

(21) 出願番号 特願平11-145768

(22) 出願日 平成11年5月26日 (1999.5.26)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 土 弘

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

F タ-ム (参考) 2H093 NC11 NC21 ND42 ND49 ND54

5C006 BB16 BC03 BC12 BF25 BF34

EB05 FA41 FA47 FA51

5C080 AA10 BB05 DD25 DD26 DD27

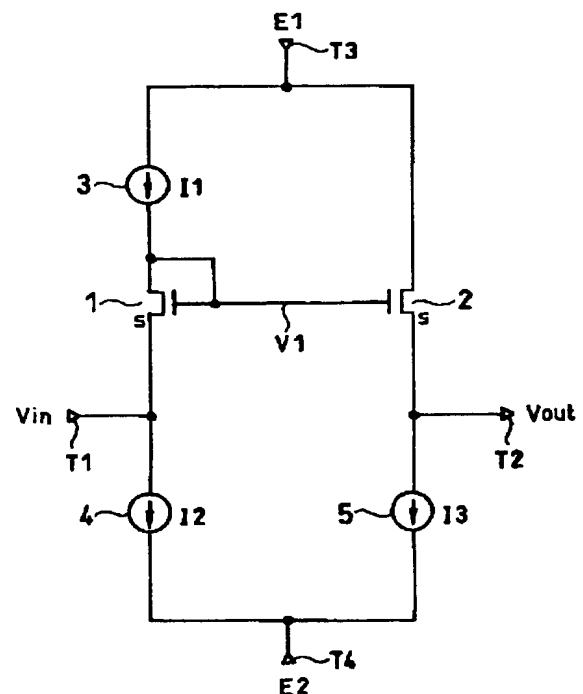
FF11 JJ03 JJ04

(54) 【発明の名称】 駆動回路、駆動回路システム、パイアス回路及び駆動回路装置

(57) 【要約】

【課題】 駆動回路が発振する場合があります、また、集積化における駆動回路の所要面積が大きく、製造コストが高かった。

【解決手段】 ドレインとゲートが接続され、ソースに入力端子が接続された第1のトランジスタと、ドレインに第1の電源端子が接続され、ソースに出力端子が接続され、ゲートに第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、第1の電源端子と第1のトランジスタのドレイン (ゲート) との間に接続された第1の電流制御回路と、入力端子と第2の電源端子との間に接続された第2の電流制御回路と、出力端子と第2の電源端子との間に接続された第3の電流制御回路とを設け、入力電圧から第1のトランジスタのゲート・ソース間電圧だけずれた電圧で第2のトランジスタのゲートをバイアスし、トランジスタ2をソースフォロワ動作させるようにした。



【特許請求の範囲】

【請求項1】 入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含むことを特徴とする駆動回路。

【請求項2】 前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする請求項1記載の駆動回路。

【請求項3】 第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありかつドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする駆動回路。

【請求項4】 前記第1の電流制御手段は、第2の電源端子と前記第1のトランジスタのドレイン（ゲート）との間に接続した第1の電流制御回路であり、前記第2の電流制御手段は、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路であることを特徴とする請求項3記載の駆動回路。

【請求項5】 前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を更に含むことを特徴とする請求項4記載の駆動回路。

【請求項6】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする請求項3～5のいずれかに記載の駆動回路。

【請求項7】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項3～6のいずれかに記載の駆動回路。

【請求項8】 前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする請求項3～7のいずれかに記載の駆動回路。

【請求項9】 前記第1及び第2の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項4記載の駆動回路。

【請求項10】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項5記載の駆動回路。

【請求項11】 入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含む、

前記第1の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のnチャネル型トランジスタと、ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のnチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のnチャネル型トランジスタと、

前記第1のnチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、

前記第2のnチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、

を含み、

前記第2の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のpチャネル型トランジスタと、ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のpチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のpチャネル型トランジスタと、

前記第1のpチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第3の電流制御手段と、

前記第2のpチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、

を含むことを特徴とする駆動回路システム。

【請求項12】 前記第1の電流制御手段は、第3の電源端子と前記第1のnチャネル型トランジスタのドレイン（ゲート）との間に接続された第1の電流制御回路を含み、

前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、

前記第3の電流制御手段は、第5の電源端子と前記第1のpチャネル型トランジスタのドレイン（ゲート）との

間に接続された第3の電流制御回路を含み、
前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする請求項1記載の駆動回路システム。

【請求項13】 前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、

前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする請求項11又は12記載の駆動回路システム。

【請求項14】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、

前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、

を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項15】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項16】 前記第1のnチャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1のpチャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする請求項14記載の駆動回路システム。

【請求項17】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項12記載の駆動回路システム。

【請求項18】 前記第1～第6の電流制御回路が、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする請求項13記載の駆動回路システム。

【請求項19】 請求項1～8のいずれかに記載の駆動回路又は請求項9～14のいずれかに記載の駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有する第1のnチャネル型トランジスタと、

請求項1～8のいずれかに記載の駆動回路又は請求項9～14のいずれかに記載の駆動回路システムに含まれる前記pチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有しかつ前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタと、

を含むことを特徴とするバイアス回路。

【請求項20】 請求項1～10のいずれかの駆動回路を複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路で前記バイアス回路を共用するようにしたことを特徴とする駆動回路システム。

【請求項21】 請求項11～18のいずれかの駆動回路システムを複数含み、さらに請求項19のバイアス回路を含み、複数の前記駆動回路システムで前記バイアス回路を共用するようにしたことを特徴とする駆動回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置に関し、特に液晶表示装置（LCD）の駆動回路の出力段であるドライバ（バッファ）部等に用いる容量性負荷の駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置に関する。

【0002】

【従来の技術】容量性負荷の駆動回路の代表例として液晶表示装置（LCD）について説明する。一般に、アクティブマトリクス駆動方式を用いた液晶表示装置の表示部は、透明な画素電極及び薄膜トランジスタ（TFT）を配置した半導体基板と、面全体に1つの透明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。

【0003】半導体基板上には、各画素電極へ印加する複数のレベル電圧（階調電圧）を送るデータ線と、TFTのスイッチング制御信号を送る走査線とが配線され、データ線は対向基板電極との間に挟まれる液晶容量や各走査線との交差部に生じる容量などにより大きな容量性負荷となっている。各画素電極への階調電圧の印加はデータ線を介して行われ、1フレーム期間にデータ線につながる全ての画素へ階調電圧の書込みが行われるため、データ線駆動回路は大きな容量性負荷であるデータ線を高速に駆動しなければならない。

【0004】このようにデータ線駆動回路は、容量の大きなデータ線を高い電圧精度で高速に駆動する必要がある、この要求を満たすために様々なデータ線駆動回路の開発が行われてきた。この中で、高精度出力及び高速駆動を可能にしたのがドライバ（バッファ）部にオペアンプを用いた駆動回路である。その代表的な回路例を図16に示す。

【0005】図16において、オペアンプはボルテージフォロワとなっており、入力電圧 V_{in} と等しい電圧を出力電圧 V_{out} として出力することができる。オペア

ンプは差動増幅段610と出力増幅段620で構成されている。差動増幅段610は、電流制御回路601と、同じ特性を有するPMOSTランジスタ603、604と、同じ特性を有するNMOSTランジスタ605、606で構成される。NMOSTランジスタ605、606はゲートどうし、ソースどうしが共通接続され、共通接続されたソースは電源端子T14に接続される。なおNMOSTランジスタ606はドレインもゲートと共通接続される。

【0006】PMOSTランジスタ603、604はソースが共通接続され、PMOSTランジスタ603は、ゲートが入力端子T1に接続され、ドレインがNMOSTランジスタ605のドレインと接続される。PMOSTランジスタ604は、ゲートが出力端子T2に接続され、ドレインがNMOSTランジスタ606のドレインと接続される。電流制御回路601は電源端子T13とPMOSTランジスタ603、604のソースとの間に接続される。

【0007】一方、出力増幅段620は、電流制御回路602、NMOSTランジスタ607、容量素子608で構成される。電流制御回路602は電源端子T11と出力端子T2との間に接続される。NMOSTランジスタ607は、ドレインが出力端子T2に接続され、ソースが電源端子T12に接続され、ゲートがPMOSTランジスタ603とNMOSTランジスタ605のドレイン共通端子に接続される。容量素子608はNMOSTランジスタ607のゲートと出力端子T2との間に接続される。なお、電流制御回路601、602により制御される電流をI61、I62とし、電源端子T11、T13には電圧VDDが、電源端子T12、T14には電圧VSSが与えられる。

【0008】また、出力端子T2には容量性負荷のデータ線が接続されているものとする。図16のオペアンプは出力電圧Voutを差動増幅段に帰還すること、すなわち出力電圧VoutをPMOSTランジスタ604のゲートに入力することにより、電圧増幅率が1で、電流供給能力の高い構成（ボルテージフォロワ）となる。その動作は、出力電圧Voutが入力電圧Vinより低い場合、NMOSTランジスタ607のゲート電圧が引下げられ、NMOSTランジスタ607は一時的にオフ状態となり、出力電圧Voutは電流制御回路602より供給される電流I62により電圧が引上げられる。

【0009】一方、出力電圧Voutが入力電圧Vinより高い場合、NMOSTランジスタ607のゲート電圧が引上げられ、NMOSTランジスタ607の動作により、出力電圧Voutは引下げられる。このとき、NMOSTランジスタ605、606は、それぞれドレイン・ソース間に等しい電流を流すように作用するので、出力電圧Voutは減衰しながら入力電圧Vinに速やかに収束する。また、容量素子608は位相補償を行

い、発振を防いでいる。

【0010】これにより、オペアンプは、各出力期間ごとに階調電圧が入力電圧Vinとして入力されると、出力端子T2に接続されたデータ線容量に高い電流供給能力で階調電圧を駆動することができる。

【0011】また、オペアンプは、インピーダンス変換により入力電圧Vinを供給する外部回路の電流供給能力に依存せずに駆動することができる。

【0012】

【発明が解決しようとする課題】しかしながら、図16のオペアンプ（ボルテージフォロワ回路）は帰還をかけていることにより発振する場合があり、発振を防ぐための設計が必要である。また、オペアンプの集積化において、位相補償用の容量素子は所要面積が大きくなる場合があり、多数のオペアンプを単一の集積回路で構成する場合、集積回路の所要面積が増大し、この結果、製造コストが上昇するという欠点がある。

【0013】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はトランジスタだけの簡単な回路構成で、発振の生じない安定な動作を行い、高精度な電圧出力、高速駆動を実現することのできる駆動回路を提供することである。また、本発明の他の目的は、多数の駆動回路の集積化において、製造コストを低減することのできる駆動回路、駆動回路システム、これらに用いるバイアス回路及び駆動回路装置を提供することである。

【0014】

【課題を解決するための手段】本発明による駆動回路は、入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含むことを特徴とする。また、前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする。

【0015】本発明による他の駆動回路は、第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありかつドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン（ゲート）とソースとの間

に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする。また、第1の電流制御手段として、第2の電源端子と前記第1のトランジスタのドレイン（ゲート）との間に接続した第1の電流制御回路を具備させても良く、第2の電流制御手段として、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路を具備させても良い。また、前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を具備させても良い。

【0016】前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段とを更に含んでも良い。前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含んでも良い。前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含んでも良い。

【0017】本発明による駆動回路システムは、入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含み、前記第1の駆動回路は、ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のnチャネル型トランジスタと、ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のnチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のnチャネル型トランジスタと、前記第1のnチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のnチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、を含み、前記第2の駆動回路は、ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1のpチャネル型トランジスタと、ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1のpチャネル型トランジスタのゲート電圧と等しい電圧を受ける第2のpチャネル型トランジスタと、前記第1のpチャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第3の電流制御手段と、前記第2のpチャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、を含むことを特徴とする。前記第1の電流制御手段は、第3の電源端子と前記第1のnチャネル型トランジスタのドレイン（ゲート）との間に接続された第1の電流制御回路を含み、前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、前

記第3の電流制御手段は、第5の電源端子と前記第1のpチャネル型トランジスタのドレイン（ゲート）との間に接続された第3の電流制御回路を含み、前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする。前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする。

【0018】本発明による他の駆動回路システムは、前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする。また、本発明による他の駆動回路システムは、前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする。本発明による他の駆動回路システムは、前記第1のnチャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1のpチャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする。なお、前記第1～第6の電流制御回路は、ゲート・ソース間電圧の制御により電流制御されるnチャネル型又はpチャネル型の電流制御トランジスタで構成されることを特徴とする。

【0019】本発明によるバイアス回路は、上記駆動回路又は上記駆動回路システムに含まれる前記nチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有する第1のnチャネル型トランジスタと、上記駆動回路又は上記駆動回路システムに含まれる前記pチャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有しかつ前記第1のnチャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1のpチャネル型トランジスタと、を含むことを特徴とする。

【0020】本発明による他の駆動回路システムは、上記駆動回路を複数含み、さらに上記バイアス回路を含み、複数の駆動回路でバイアス回路を共用するようにしたことを特徴とする。

【0021】本発明による駆動回路装置は、上記駆動回路システムを複数含み、さらに上記バイアス回路を含み、複数の駆動回路システムでバイアス回路を共用するようにしたことを特徴とする。

【0022】本発明の駆動回路の作用を以下に説明する。

【0023】第1のトランジスタのゲート・ソース間電圧は、ドレイン・ソース間電流が制御されると一意に定まる。そのため、入力電圧 V_{in} が第1のトランジスタ

のソースに入力されると、第1のトランジスタのゲート（ドレイン）は、入力電圧 V_{in} から第1のトランジスタのゲート・ソース間電圧だけずれた電圧となる。一方、第2のトランジスタはドレインに電源電圧を受け、ゲートに第1のトランジスタのゲートと等しい電圧を受けると、ソースフォロワ動作可能となる。ここで第2のトランジスタのドレイン・ソース間電流が制御されると、第2のトランジスタのゲート・ソース間電圧も一意に定まり、第2のトランジスタのソースから取り出される出力電圧 V_{out} は、第2のトランジスタのゲートから第2のトランジスタのゲート・ソース間電圧だけずれた電圧で安定となる。

【0024】従って、第1及び第2のトランジスタのドレイン・ソース間電流を制御することにより、入力電圧 V_{in} に応じた電圧を出力電圧 V_{out} として取り出すことが可能である。また、入力電圧 V_{in} が変化した場合は、第2のトランジスタのソースフォロワ動作により、出力電圧 V_{out} を入力電圧 V_{in} に応じた電圧に速やかに変化させることが可能である。

【0025】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。また、各図とも電源数が最小となる回路構成を示した。

【0026】図1は本発明による駆動回路の実施の一形態を示すブロック図である。同図においては、共通ゲート電極を有する同一導電型の2つのトランジスタ1、2が設けられている。トランジスタ1は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ2は、ドレインが電源端子T3に接続され、ソースが出力端子T2に接続されている。電源端子T3とトランジスタ1のドレイン（ゲート）と間には電流制御回路3が接続され、電源端子T3から入力端子T1へ流れる電流をI1に制御する。入力端子T1と電源端子T4との間には電流制御回路4が接続され、入力端子T1から電源端子T4へ流れる電流をI2に制御する。出力端子T2と電源端子T4との間には電流制御回路5が接続され、出力端子T2から電源端子T4へ流れ

$$V_{out} = V_{in} + V_{gs1}(I1) - V_{gs2}(I3) \cdots (5)$$

となる。このとき出力電圧範囲は、電源電圧E1と電源電圧E2の電圧範囲から少なくともトランジスタ2のゲート・ソース間電圧 $V_{gs2}(I3)$ の電圧差だけ狭い電圧範囲となる。

【0030】ここでトランジスタ1、2のそれぞれのゲート・ソース間電圧 $V_{gs1}(I1)$ 、 $V_{gs2}(I3)$ が等しくなるように電流I1、I3を制御すれば、式(5)より出力電圧 V_{out} は入力電圧 V_{in} と等しい電圧となる。また、トランジスタの特性変動が生じて、 $V_{gs1}(I1) - V_{gs2}(I3)$ が変化しない

る電流をI3に制御する。電源端子T3、T4にはそれぞれ電圧E1、E2が与えられている。また、出力端子T2には容量性負荷が接続されているものとする。なお、図1中の符号「S」はトランジスタのソース端子であることを示している。他の図においても同様であるものとする。

【0027】図1の駆動回路の動作を以下に説明する。入力端子T1に入力電圧 V_{in} が入力されると、トランジスタ1のゲート電圧V1は入力電圧 V_{in} からトランジスタ1のゲート・ソース間電圧 V_{gs1} だけずれた電圧となり、

$$V1 = V_{in} + V_{gs1} \cdots (1)$$

で表される。このとき、トランジスタはドレイン・ソース間電流 I_{ds} とゲート・ソース間電圧 V_{gs} との間に固有の特性（以後、 $I_{ds} - V_{gs}$ 特性と記す）を有し、トランジスタ1のゲート・ソース間電圧 V_{gs1} は、トランジスタ1の $I_{ds} - V_{gs}$ 特性と電流I1によって一意に定まる。トランジスタ1のドレイン・ソース間電流がI1となる時のゲート・ソース間電圧を $V_{gs1}(I1)$ とすると、トランジスタ1のゲート電圧V1は、

$$V1 = V_{in} + V_{gs1}(I1) \cdots (2)$$

で安定となる。

【0028】また、トランジスタ2のゲートに電圧V1が印加されると、出力電圧 V_{out} は電圧V1からトランジスタ2のゲート・ソース間電圧 V_{gs2} だけずれた電圧となり、

$$V_{out} = V1 - V_{gs2} \cdots (3)$$

で表される。そして、出力電圧 V_{out} はトランジスタ2のドレイン・ソース間電流がI3と等しくなるところで安定する。このときのトランジスタ2のゲート・ソース間電圧 V_{gs2} は、トランジスタ2の $I_{ds} - V_{gs}$ 特性と電流I3により、 $V_{gs2}(I3)$ となり、出力電圧 V_{out} は、

$$V_{out} = V1 - V_{gs2}(I3) \cdots (4)$$

で安定となる。

【0029】式(2)、式(4)より、入力電圧 V_{in} が一定のときの出力電圧 V_{out} は、

ようなトランジスタ1、2の素子サイズ及び電流I1、I3を設定すれば、トランジスタの特性変動によらない高精度の電圧出力が可能である。具体的には、トランジスタ1、2の素子サイズ及び電流I1、I3をそれぞれ等しく設定したり、またはトランジスタ1、2のチャネル長を揃えて、チャネル幅比に応じて電流I1、I3を設定する等を行えば、トランジスタの閾値電圧変動によらない電圧出力が可能である。

【0031】また、電流I2を電流I1と等しくなるように制御すれば、入力電圧 V_{in} を供給する外部回路の

電流供給能力が低い場合でも図1の駆動回路を容易に動作させることができる。なお、電流制御回路4がない場合でも図1の駆動回路は動作可能であるが、その場合は入力電圧 V_{in} を供給する外部回路に十分な電流供給能力が必要となる。

【0032】次に入力電圧 V_{in} が変化する場合の動作について説明する。入力電圧 V_{in} が変化した場合、トランジスタ1、2の共通ゲートの容量が十分小さければ、電圧 V_1 は入力電圧 V_{in} の変化に比較的速やかに追従して式(2)で表される電圧に変化する。ここで入力電圧 V_{in} が電圧 E_1 に近づくように変化する場合には、トランジスタ2のソースフォロウ動作により、出力電圧 V_{out} は式(5)で表される電圧に速やかに変化する。一方、入力電圧 V_{in} が電圧 E_2 に近づくように変化する場合には、トランジスタ2は一時的にオフとなり、出力電圧 V_{out} は電流 I_3 の電流供給能力により、式(5)で表される電圧に変化する。なお、トランジスタ2のソースフォロウ動作による電流供給能力は、トランジスタ2のゲート・ソース間電圧が閾値電圧に近づくにつれて低下するが、最低でも電流 I_3 の電流供給能力をもつ。すなわち図1の駆動回路の駆動能力は、入力電圧 V_{in} が電圧 E_1 に近づくように変化する場合にはトランジスタ2のソースフォロウ動作による高い駆動能力を持ち、入力電圧 V_{in} が電圧 E_2 に近づくように変化する場合には電流 I_3 に依存した駆動能力をもつ。そして電流制御回路5により電流 I_3 を調整すれば、図1の駆動回路の駆動能力を変化させることができる。

【0033】以上のように図1の駆動回路は、簡単な構成で高い駆動能力をもつことができ、トランジスタの特性変動を考慮してトランジスタ1、2の素子サイズ及び電流 I_1 、 I_3 を設定すれば、トランジスタの特性変動によらない高精度出力を実現できる。

【0034】また図1において、トランジスタ1、2はMOSトランジスタの素子記号で表しているが、他の電界効果トランジスタでも同様の動作により同様の効果を有する。またトランジスタ1、2を、ドレインをコレクタとし、ゲートをベースとし、ソースをエミッタとしたバイポーラトランジスタに置き換えた場合でも同様の効果を有する。これは以下の実施の形態においても同様であり、個々の説明は省略する。以下の実施の形態でも、MOSトランジスタを用いた駆動回路で説明する。

【0035】図2は本発明に係る駆動回路の第2の実施の形態を示す回路図である。図2は、図1の駆動回路において、トランジスタ1、2の共通ゲートをプリチャージするプリチャージ回路として、電源端子 T_3 とトランジスタ1、2の共通ゲートと間にスイッチ11が接続され、出力端子 T_2 をプリチャージするプリチャージ回路として、出力端子 T_2 と電源端子 T_4 との間にスイッチ12が接続されている。またトランジスタ1のソースと入力端子 T_1 との間には、トランジスタ1のドレイン・

ソース間電流を遮断することのできるスイッチ21が接続され、入力端子 T_1 と電源端子 T_4 の間には電流 I_2 を遮断することのできるスイッチ22が接続され、電源端子 T_3 と出力端子 T_2 の間には、トランジスタ2のドレイン・ソース間電流を遮断することのできるスイッチ23が接続され、出力端子 T_2 と電源端子 T_4 の間には電流 I_3 を遮断することのできるスイッチ24が接続されている。

【0036】図2の駆動回路の動作を図3を参照して説明する。なお、図3は任意のレベルの電圧を出力する1出力期間を示す。

【0037】始めに、時刻 t_0 にて、スイッチ11、12がオン、スイッチ21、22、23、24がオフとされる。この結果、トランジスタ1、2の共通ゲートは電圧 E_1 に、出力端子 T_2 は電圧 E_2 にプリチャージされる。

【0038】次に、時刻 t_1 にて、スイッチ11がオフ、スイッチ21、22がオンとされる。この結果、トランジスタ1の作用により、トランジスタ1、2の共通ゲートの電圧 V_1 は、入力電圧 V_{in} からトランジスタ1のゲート・ソース間電圧だけずれた電圧に速やかに変化し、式(2)で表される電圧で安定する。

【0039】次に、時刻 t_2 にて、スイッチ12がオフ、スイッチ23、24がオンとされる。この結果、トランジスタ2のソースフォロウ動作により、出力電圧 V_{out} は式(5)で表される電圧に速やかに変化し、時刻 t_3 まで出力電圧 V_{out} が保たれる。

【0040】なお、出力電圧範囲は図1の駆動回路と同様である。また、図1の駆動回路と同様に、トランジスタ1、2のそれぞれのゲート・ソース間電圧 V_{gs1} (I_1)、 V_{gs2} (I_3)が等しくなるように電流 I_1 、 I_3 を制御すれば、出力電圧 V_{out} を入力電圧 V_{in} と等しい電圧にすることができ、さらにトランジスタの特性変動を考慮してトランジスタ1、2の素子サイズ及び電流 I_1 、 I_3 を設定すれば、トランジスタの特性変動によらない高精度出力を実現できる。

【0041】また、電流 I_2 を電流 I_1 と等しくなるように制御すれば、入力電圧 V_{in} を供給する外部回路の電流供給能力が低い場合でも図2の駆動回路を容易に動作させることができる。

【0042】次に、図2の駆動回路の図1の駆動回路と異なる特長について説明する。図2の駆動回路は、図1の駆動回路を改良したもので、駆動能力を低下させることなく消費電力を低減させることが可能である。図1の駆動回路では、入力電圧 V_{in} が電源電圧 E_2 に近づくように変化する場合には駆動能力は電流 I_3 に依存し、駆動能力を高くするために電流 I_3 を大きくすれば消費電力が増加する。しかし、入力電圧 V_{in} が電源電圧 E_1 に近づくように変化する場合にはトランジスタ2のソースフォロウ動作により高い駆動能力を持つ。そこで

図2の駆動回路では、任意のレベルの電圧を出力する1出力期間ごとに出力端子T2を電圧E2にプリチャージさせ、各出力期間の電圧出力を毎回トランジスタ2のソースフォロウ動作による高い駆動能力で行うようにさせている。これにより電流I1、I2、I3を抑えても高速駆動を行うことができ、静消費電力を低減することができる。なお、出力端子T2のプリチャージ電圧は、時刻 $t_2 - t_3$ 間でトランジスタ2がソースフォロウ動作するような電圧であれば電圧E2以外でも良く、入力電圧 V_{in} に応じた複数のプリチャージ電源を設けても良い。

【0043】また、スイッチ11によるトランジスタ1、2の共通ゲートのプリチャージは、電流I1がある程度大きい場合には必ずしも必要ではない。しかし、電流I1を非常に小さく抑える場合には、入力電圧 V_{in} の変化に対して、トランジスタ1、2のゲート容量を充電又は放電するのに時間がかかり、トランジスタ1、2の共通ゲートの電圧を式(2)の電圧V1に速やかに変化させることができない場合がある。その場合、トランジスタ1、2の共通ゲートを各出力期間の始めにプリチャージすることにより、トランジスタ1がソースフォロウ動作し、トランジスタ1、2の共通ゲートの電圧を式(2)の電圧V1に速やかに変化させることができる。

【0044】また、スイッチ21、22、23、24は、スイッチ11、12によるそれぞれのプリチャージ期間の間、入力端子T1、出力端子T2、電源端子T3、T4の各端子間に流れる電流を遮断するように制御される。これにより余計な電流を遮断し、プリチャージに伴う電力の消費を最小限に抑えることができる。

【0045】なお、図2の駆動回路において、電流制御回路3、4、5がない場合でも一応動作可能である。この場合、トランジスタ1、2は、ゲート・ソース間電圧が閾値電圧付近となりドレイン・ソース間電流がほとんど流れなくなったところで電圧V1及び出力電圧 V_{out} は安定する。ただし閾値電圧付近におけるゲート・ソース間電圧の変化に対してドレイン・ソース間電流の変化が緩やかであると、電圧V1及び出力電圧 V_{out} がなかなか安定しないという問題がある。しかも電圧V1及び出力電圧 V_{out} が安定するまでの時間は、それぞれトランジスタ1、2の共通ゲートのゲート容量及び出力端子T2に接続された容量性負荷の容量に大きく依存することになる。したがってトランジスタ1、2のゲート容量及び容量性負荷の容量に影響されず、十分な電流供給能力で速やかに電圧V1及び出力電圧 V_{out} を安

$$V_{SS} \leq V_{out} \leq V_{DD} - V_{gs102} \quad (I_{13}) \quad \cdots (8)$$

となる。

【0049】図6は図2の駆動回路の別の具体例を示す駆動回路である。図6においては、図2のトランジスタ1、2をPMOSトランジスタ201、202で構成し、電源電圧E1、E2をそれぞれ V_{SS} 、 V_{DD} (V

定させるためには、電流制御回路3、4、5を設け、トランジスタ1、2に流す電流を制御することが好ましい。以上のように図2の駆動回路は、出力端子T2をプリチャージすることにより常に高い駆動能力をもち、電流I1、I2、I3を抑えることにより低消費電力も実現できる。

【0046】次に図2の駆動回路の具体例を説明する。図4は図2の駆動回路の具体例を示す駆動回路である。図4においては、図2のトランジスタ1、2をNMOSトランジスタ101、102で構成し、電源電圧E1、E2をそれぞれ V_{DD} 、 V_{SS} ($V_{DD} > V_{SS}$)としたものである。また図2の電流制御回路3、4、5を103、104、105とし、それぞれ電流を I_{11} 、 I_{12} 、 I_{13} に制御する。また図2のスイッチ11、12、21、22、23、24を111、112、121、122、123、124とし、上記スイッチ111、112、121、122、123、124は、それぞれ図3のスイッチ11、12、21、22、23、24と同様の制御を行う。またトランジスタ101、102の共通ゲートの電圧を V_{10} とする。

【0047】図5は、図4のスイッチ111、112、121、122、123、124の制御信号タイミング及び入力電圧 V_{in} 、出力電圧 V_{out} 、電圧 V_{10} の電圧波形である。

【0048】図5(a)には任意のレベルの電圧を出力する1出力期間が示されている。また、図5(b)は、出力電圧 V_{out} に入力電圧 V_{in} と等しい電圧を出力する場合の電圧波形図である。図5において、電圧 V_{10} は時刻 t_0 に電圧 V_{DD} にプリチャージされ、時刻 t_1 以後、入力電圧 V_{in} からトランジスタ101のゲート・ソース間電圧 V_{gs101} (I_{11}) だけずれた電圧に変化し、

$$V_{10} = V_{in} + V_{gs101} (I_{11}) \quad \cdots (6)$$

で安定となる。出力電圧 V_{out} は、時刻 t_0 に電圧 V_{SS} にプリチャージされ、時刻 t_2 以後、電圧 V_{10} からトランジスタ102のゲート・ソース間電圧 V_{gs102} (I_{13}) だけずれた電圧に変化し、

$$V_{out} = V_{10} - V_{gs102} (I_{13}) \quad \cdots (7)$$

で安定となる。ここで V_{gs101} (I_{11}) と V_{gs102} (I_{13}) は正の値で、共に等しくなるように電流 I_{11} 、 I_{13} を制御すれば、式(6)、式(7)より出力電圧 V_{out} は入力電圧 V_{in} と等しくなる。また、このとき出力電圧範囲は、

$V_{DD} > V_{SS}$)としたものである。また図2の電流制御回路3、4、5を203、204、205とし、それぞれ電流を I_{21} 、 I_{22} 、 I_{23} に制御する。また図2のスイッチ11、12、21、22、23、24を211、212、221、222、223、224とし、上

記スイッチ211、212、221、222、223、224は、それぞれ図3のスイッチ11、12、21、22、23、24と同様の制御を行う。またトランジスタ201、202の共通ゲートの電圧をV20とする。

【0050】図7は、図6のスイッチ211、212、221、222、223の制御信号タイミング及び入力電圧Vin、出力電圧Vout、電圧V20の電圧波形である。図7(a)には任意のレベルの電圧を出力する1出力期間が示されている。また、図7(b)は、出力電圧Voutに入力電圧Vinと等しい電圧を出力する場合の電圧波形図である。

【0051】図7において、電圧V20は時刻t0に電圧VSSにプリチャージされ、時刻t1以後、入力電圧

$$VSS - V_{gs202}(I23) \leq V_{out} \leq VDD \cdots (11)$$

となる。

【0052】図8は本発明に係る駆動回路の第3の実施の形態を示す回路図である。図8においては、共通ゲート電極を有する2つのnチャネル型トランジスタ301、302と、共通ゲート電極を有する2つのpチャネル型トランジスタ401、402とが設けられている。トランジスタ301は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ302は、ドレインが電源端子T3に接続され、ソースが出力端子T2に接続されている。トランジスタ401は、ドレインとゲートが接続され、ソースが入力端子T1に接続されている。トランジスタ402は、ドレインが電源端子T4に接続され、ソースが出力端子T2に接続されている。電源端子T3とトランジスタ301のドレイン(ゲート)と間には電流制御回路303が接続され、電源端子T3から入力端子T1へ流れる電流をI31に制御する。電源端子T4とトランジスタ401のドレイン(ゲート)と間には電流制御回路403が接続され、入力端子T1から電源端子T4へ流れる電流をI4

$$\begin{aligned} V_{out} &= V_{in} + V_{gs301}(I31) - V_{gs302}(Ic) \\ &= V_{in} + V_{gs401}(I41) - V_{gs402}(Ic) \cdots (14) \end{aligned}$$

となる。また出力電圧範囲は、電圧VDDと電圧VSSの電圧範囲からトランジスタ302、402それぞれのゲート・ソース間の電圧差だけ狭い電圧範囲となる。

【0054】ここで電流I31、I41が等しく、トランジスタ301、302のゲート・ソース間電圧Vgs301(I31)、Vgs302(Ic)がそれぞれ等しく、トランジスタ401、402のゲート・ソース間電圧Vgs401(I41)、Vgs402(Ic)が等しければ、出力電圧Voutは入力電圧Vinに等しくなる。また、電流I31、I41が等しい場合は、入力電圧Vinを供給する外部回路の電流供給能力が低い場合でも図1の駆動回路を容易に動作させることができる。

【0055】次に、入力電圧Vinが変化する場合の動作について説明する。入力電圧Vinが変化した場合、

Vinからトランジスタ201のゲート・ソース間電圧Vgs201(I21)だけずれた電圧に変化し、
 $V20 = V_{in} + V_{gs201}(I21) \cdots (9)$

で安定となる。出力電圧Voutは、時刻t0に電圧VDDにプリチャージされ、時刻t2以後、電圧V20からトランジスタ202のゲート・ソース間電圧Vgs202(I23)だけずれた電圧に変化し、

$$V_{out} = V20 - V_{gs202}(I23) \cdots (10)$$

で安定となる。ここでVgs201(I21)とVgs202(I23)は負の値で、共に等しくなるように電流I21、I23を制御すれば、式(9)、式(10)より出力電圧Voutは入力電圧Vinに等しくなる。

また、このとき出力電圧範囲は、

1に制御する。電源端子T1、T2にはそれぞれ電圧VDD、VSS(VDD > VSS)が与えられている。また、出力端子T2には容量性負荷が接続されているものとする。

【0053】図8の駆動回路の動作を以下に説明する。入力端子T1に入力電圧Vinが入力されると、トランジスタ301、401のそれぞれのゲート電圧V30、V40は、入力電圧Vinからゲート・ソース間電圧だけずれた電圧となり、

$$V30 = V_{in} + V_{gs301}(I31) \cdots (12)$$

$$V40 = V_{in} + V_{gs401}(I41) \cdots (13)$$

で安定となる。一方、出力電圧Voutは、電圧V30、V40からトランジスタ302、402のそれぞれのゲート・ソース間電圧だけずれた電圧となり、トランジスタ302、402のそれぞれのドレイン・ソース間電流が等しくなるところで安定となる。このときのトランジスタ302、402のドレイン・ソース間電流をIcとすれば、出力電圧Voutは、

トランジスタ301、302の共通ゲート及びトランジスタ401、402の共通ゲートの容量が十分小さければ、電圧V30、V40は入力電圧Vinの変化に比較的速やかに追従して式(12)、式(13)で表される電圧に変化する。ここで入力電圧Vinが高電圧側(VDD側)に変化する場合には、トランジスタ402は一時的にオフとなり、トランジスタ302のソースフォロワ動作によって、出力電圧Voutは速やかに引上げられる。一方、入力電圧Vinが低電圧側(VSS側)に変化する場合には、トランジスタ302は一時的にオフとなり、出力電圧Voutは速やかに引下げられる。すなわち図8の駆動回路は、入力電圧Vinが高電圧側又は低電圧側のどちらに変化してもトランジスタ302又はトランジスタ402がソースフォロワ動作するので、常に高い駆動能力を持つことができる。

【0056】なお、図8の駆動回路は、トランジスタ301、302に対して、 $I_{ds}-V_{gs}$ 特性を考慮してトランジスタ401、402のサイズを調整すれば、電流 I_c を調整することが可能である。したがって、入力端子T1と電源端子T4との間の電流が制御され、出力端子T2と電源端子T4との間の電流が制御されている構成は、図1の駆動回路においてトランジスタ1、2をNMOSTランジスタで構成した駆動回路の変更例と見なすこともできる。同様に、トランジスタ401、402に対して、トランジスタ301、302のサイズを調整した場合も電流 I_c を調整することが可能であるので、図1の駆動回路においてトランジスタ1、2をPMOSTランジスタで構成した駆動回路の変更例と見なすこともできる。すなわち、図8の駆動回路は、図1の駆動回路においてトランジスタ1、2をNMOSTランジスタで構成した駆動回路と、トランジスタ1、2をPMOSTランジスタで構成した駆動回路との両方の性能を有した駆動回路となっている。

【0057】図9は本発明に係る駆動回路の第4の実施の形態を示す回路図である。図9は、図4及び図6の駆動回路それぞれの入力端子T1どうし、出力端子T2どうし、電圧VDDが与えられた電源端子どうし、電圧VSSが与えられた電源端子どうしを共通接続したものである。なお、図9の各素子番号は図4及び図6の素子番号をそのまま用いる。ただし、電源端子については、電源電圧VDDが与えられた電源端子をT3とし、電源電圧VSSが与えられた電源端子をT4とする。また、出力端子T2には容量性負荷が接続されているものとする。

【0058】図9の駆動回路の動作を図10を参照して説明する。図10(a)には、電圧 V_m 以下の任意のレベルの電圧を出力する1出力期間(時刻 t_0-t_3)

$$V_{SS}-V_{gs202}(I_{23}) \leq V_m \leq V_{DD}-V_{gs102}(I_{13}) \cdots (15)$$

となるように設定すれば、出力電圧 V_{out} は、 $V_{SS} \leq V_{out} \leq V_{DD} \cdots (16)$

となり、図9の駆動回路の出力電圧範囲は電源電圧範囲と等しくすることができる。

【0061】また、図9の駆動回路は、電圧 V_m 以下の任意のレベルの電圧を出力する場合には出力端子T2が電圧VSSにプリチャージされ、電圧 V_m 以上の任意のレベルの電圧を出力する場合には出力端子T2が電圧VDDにプリチャージされるので、図4又は図6の駆動回路において電源電圧VSS又は電源電圧VDDのどちらか一方だけにプリチャージされる場合に比べて、プリチャージに伴う充放電電力が少なく、プリチャージも高速に行うことができる。

【0062】以上のように、図9の駆動回路は、図4及び図6の駆動回路と同じ駆動能力を有し、電源電圧範囲に等しい出力電圧範囲を有する。さらに図4又は図6の

と、電圧 V_m 以上の任意のレベルの電圧を出力する1出力期間(時刻 $t_0'-t_3'$)との2出力期間とが示されている。また、図10(b)には、トランジスタ101、102のゲート・ソース間電圧 $V_{gs101}(I_{11})$ 、 $V_{gs102}(I_{13})$ がそれぞれ等しく、トランジスタ201、202のゲート・ソース間電圧 $V_{gs201}(I_{21})$ 、 $V_{gs202}(I_{23})$ がそれぞれ等しくなるように電流 I_{11} 、 I_{13} 、 I_{21} 、 I_{23} を制御し、出力電圧 V_{out} に入力電圧 V_{in} と等しい電圧を出力する場合の電圧波形図である。

【0059】図10において、時刻 t_0-t_3 では、スイッチ111、112、121、122、123、124は図5と同様のスイッチ制御を行い、スイッチ211、212、221、222、223、224は全てオフとされる。この結果、図10の電圧波形は図5の電圧波形と同様となる。また、時刻 $t_0'-t_3'$ では、スイッチ211、212、221、222、223、224は図7と同様のスイッチ制御を行い、スイッチ111、112、121、122、123、124は全てオフとされる。この結果、図10の電圧波形は図7の電圧波形と同様となる。すなわち、図9の駆動回路の動作は、電圧 V_m 以下の任意のレベルの電圧を出力する場合には図4の駆動回路を動作させ、電圧 V_m 以上の任意のレベルの電圧を出力する場合には図6の駆動回路を動作させるようにしたものである。したがって、図9の駆動回路は図4及び図6の駆動回路と同じ駆動能力を有する。

【0060】また、図9の駆動回路の出力電圧範囲は、出力電圧 V_{out} に入力電圧 V_{in} と等しい電圧を出力する場合、図4の駆動回路動作時は式(8)となり、図6の駆動回路動作時は式(11)となる。ここで、電圧 V_m を、

駆動回路より更に消費電力を低減できる。

【0063】図11は図9の駆動回路の具体例を示す駆動回路である。図11においては、図9の電流制御回路104、105、203がNMOSTランジスタで構成され、電流制御回路103、204、205がPMOSTランジスタで構成されたものである。そして上記電流制御トランジスタ103、104、105、203、204、205のそれぞれのゲートに所定の電圧が与えられることにより、任意の電流に制御される。なお図11では、NMOSTランジスタ104、105、203のゲートは、バイアス電圧 B_{IASN} が与えられた端子T6に接続し、PMOSTランジスタ103、204、205それぞれのゲートはバイアス電圧 B_{IASP} が与えられた端子T5に接続される。なお複数の電流制御トランジスタのゲートバイアス電圧が共通の場合でも、トランジスタのサイズを調整することにより任意の電流を流

すことが可能である。また、電流制御トランジスタごとにバイアス電圧を変えても良い。

【0064】図12は図11の駆動回路の変更を示す回路図である。図12は、図11の駆動回路を改良し、図11の駆動回路より素子数が少なく、スイッチ制御信号の種類を減らした駆動回路である。図12の駆動回路は、図11の駆動回路より電流制御回路104、204及びスイッチ122、222を取り去り、新たにPMOSTランジスタ131及びNMOSTランジスタ231を付加した回路である。PMOSTランジスタ131は、ソース、ドレインをそれぞれNMOSTランジスタ101のゲート（ドレイン）、ソースに接続され、ゲートは電圧BIASPが与えられた端子T5に接続される。NMOSTランジスタ231は、ソース、ドレインをそれぞれPMOSTランジスタ201のゲート（ドレイン）、ソースに接続され、ゲートは電圧BIASNが与えられた端子T6に接続される。また、PMOSTランジスタ131は、PMOSTランジスタ103より閾値電圧が小さく、同じゲート電圧に対してPMOSTランジスタ103より十分高い電流供給能力をもつものとし、NMOSTランジスタ231も、NMOSTランジスタ203より閾値電圧が小さく、同じゲート電圧に対してNMOSTランジスタ203より十分高い電流供給能力をもつものとする。そしてNMOSTランジスタ101、PMOSTランジスタ103、131で構成される回路ブロックを回路ブロック130とし、PMOSTランジスタ201、NMOSTランジスタ203、231で構成される回路ブロックを回路ブロック230とする。なお、図12の駆動回路において、図11と同じ素子については図11の素子番号をそのまま用いる。

【0065】図12の駆動回路の動作を図13を参照して説明する。図13（a）には、電圧 V_m 以下の任意のレベルの電圧を出力する1出力期間（時刻 $t_0 - t_3$ ）と、電圧 V_m 以上の任意のレベルの電圧を出力する1出力期間（時刻 $t_0' - t_3'$ ）との2出力期間とが示されている。また、図13（b）には、入力電圧 V_{in} と等しい電圧を出力電圧 V_{out} として出力する場合の電圧波形図が示されている。なお、図13中のスイッチ112、123、124、212、223、224の制御タイミングは、図10と同様である。

【0066】図12の駆動回路は、時刻 $t_0 - t_3$ にて、図11の駆動回路の電流制御回路104及びスイッチ122と同じ作用を回路ブロック230とスイッチ221にさせ、時刻 $t_0' - t_3'$ にて、図11の駆動回路の電流制御回路204及びスイッチ222と同じ作用を、回路ブロック130とスイッチ121にさせたものである。以下に図12の駆動回路の動作を説明する。

【0067】始めに、電圧 V_m 以下の任意のレベルの電圧を出力する1出力期間（時刻 $t_0 - t_3$ ）では、時刻 t_0 にて、スイッチ111、211がオン、スイッチ1

21、221がオフとされる。この結果、トランジスタ101、102の共通ゲートは電圧 V_{DD} に、トランジスタ201、202の共通ゲートは電圧 V_{SS} にプリチャージされる。また、スイッチ112がオン、スイッチ123、124はオフとされ、出力端子T2は電圧 V_S にプリチャージされる。なお、スイッチ212、223、224は、時刻 $t_0 - t_3$ 間はオフとされる。

【0068】次に、時刻 t_1 にて、スイッチ111、211がオフ、スイッチ121、221がオンとされる。この結果、トランジスタ101、201の作用により、トランジスタ101、102の共通ゲートの電圧 V_{10} 及びトランジスタ201、202の共通ゲートの電圧 V_{20} は、それぞれ入力電圧 V_{in} からゲート・ソース間電圧だけずれた電圧に速やかに変化し、それぞれ $V_{10} = V_{in} + V_{gs101}(I_{11}) \dots (16)$
 $V_{20} = V_{in} + V_{gs201}(I_{21}) \dots (17)$ で安定となる。このときトランジスタ131、231はオフ状態となり動作しない。また、電源端子T3と入力端子T1との間には電流 I_{11} が流れ、入力端子T1と電源端子T4との間には電流 I_{21} が流れる。

【0069】次に、時刻 t_2 にて、スイッチ112がオフ、スイッチ123、124がオンとされる。この結果、トランジスタ102のソースフォロウ動作により、出力電圧 V_{out} は電圧 V_{10} からトランジスタ102のゲート・ソース間電圧だけずれた電圧に速やかに変化し、

$V_{out} = V_{10} - V_{gs102}(I_{13}) \dots (18)$ で安定となる。ここでトランジスタ101、102のゲート・ソース間電圧 $V_{gs101}(I_{11})$ 、 $V_{gs102}(I_{13})$ が等しくなるように電流 I_{11} 、 I_{13} を制御すれば、出力電圧 V_{out} は入力電圧 V_{in} と等しい電圧を出力する。

【0070】電圧 V_m 以下の任意のレベルの電圧を出力する1出力期間（時刻 $t_0' - t_3'$ ）では、時刻 t_0' にて、スイッチ111、211がオン、スイッチ121、221がオフとされる。この結果、トランジスタ101、102の共通ゲートは電圧 V_{DD} に、トランジスタ201、202の共通ゲートは電圧 V_{SS} にプリチャージされる。また、スイッチ212がオン、スイッチ223、224はオフとされ、出力端子T2は電圧 V_{DD} にプリチャージされる。なお、スイッチ112、123、124は、時刻 $t_0' - t_3'$ 間はオフとされる。

【0071】次に、時刻 t_1' にて、スイッチ111、211がオフ、スイッチ121、221がオンとされる。この結果、トランジスタ101、201の作用により、トランジスタ101、102の共通ゲートの電圧 V_{10} 及びトランジスタ201、202の共通ゲートの電圧 V_{20} は、それぞれ入力電圧 V_{in} からゲート・ソース間電圧だけずれた電圧に速やかに変化し、それぞれ式（16）、式（17）で表される電圧で安定となる。こ

のときトランジスタ131、231はオフ状態となり動作しない。また、電源端子T3と入力端子T1との間には電流I11が流れ、入力端子T1と電源端子T4との間には電流I21が流れる。

【0072】次に、時刻t2'にて、スイッチ212がオフ、スイッチ223、224がオンとされる。この結果、トランジスタ202のソースフォロワ動作により、出力電圧Voutは電圧V20からトランジスタ102のゲート・ソース間電圧だけずれた電圧に速やかに変化し、

$$V_{out} = V_{20} - V_{gs202}(I_{23}) \cdots (19)$$
で安定となる。ここでトランジスタ201、202のゲート・ソース間電圧 $V_{gs201}(I_{21})$ 、 $V_{gs202}(I_{23})$ が等しくなるように電流I21、I23を制御すれば、出力電圧Voutは入力電圧Vinと等しい電圧を出力する。

【0073】なお、電流I11、I21が等しい場合は、入力電圧Vinを供給する外部回路の電流供給能力が低い場合でも図12の駆動回路を容易に動作させることができる。

【0074】以上の動作は、入力電圧Vinが電圧VSSよりある程度高く、電圧VDDよりある程度低い電圧範囲の場合で、トランジスタ101、201がオン状態の場合の動作である。次に、入力電圧Vinが電圧VDD又は電圧VSSに近く、トランジスタ101又はトランジスタ201がオフ状態となる場合の動作について以下に説明する。

【0075】時刻t0-t3間において、入力電圧Vinが電圧VSSに近い電圧レベルの場合、時刻t1にて、電圧V10は式(16)で表される電圧となるが、電圧V20は式(17)で表される電圧とはならない。これは入力電圧Vinが電圧VSSに近く、トランジスタ201のゲート・ソース間電圧が閾値電圧以下の状態では、トランジスタ201はオフとなるためである。時刻t1直後の電圧V20は時刻t0-t1間にプリチャージされた電圧VSSであるが、トランジスタ231の動作により入力端子T1からトランジスタ203のドレインへ電流が供給され、電圧V20は入力電圧Vinと電圧VSSの中間の電圧に引上げられる。このときトランジスタ231の電流供給能力がトランジスタ203の電流供給能力より高ければ、入力端子T1から電源端子T4へ流れる電流はトランジスタ203で制御された電流I21となる。したがって入力電圧Vinが電圧VSSに近い電圧レベルでトランジスタ201がオフとなる場合でも、入力端子T1と電源端子T4との間に電流I21を流すことができる。

【0076】また、時刻t0'-t3'間において、入力電圧Vinが電圧VDDに近い電圧レベルの場合、時刻t1'にて、電圧V20は式(17)で表される電圧となるが、電圧V10は式(16)で表される電圧とは

ならない。これは入力電圧Vinが電圧VDDに近く、トランジスタ101のゲート・ソース間電圧が閾値電圧以下の状態では、トランジスタ101はオフとなるためである。時刻t1'直後の電圧V10は時刻t0'-t1'間にプリチャージされた電圧VDDであるが、トランジスタ131の動作によりトランジスタ103のドレインから入力端子T1へ電流が供給され、電圧V10は入力電圧Vinと電圧VDDの中間の電圧に引下げられる。このときトランジスタ131の電流供給能力がトランジスタ103の電流供給能力より高ければ、電源端子T3から入力端子T1へ流れる電流はトランジスタ103で制御された電流I11となる。したがって入力電圧Vinが電圧VDDに近い電圧レベルでトランジスタ101がオフとなる場合でも、電源端子T3と入力端子T1との間に電流I11を流すことができる。

【0077】以上のように、回路ブロック130、230は、入力電圧Vinの電圧レベルによらず、それぞれ電流I11、I21を流すことができ、電流制御回路の機能も有する。

【0078】すなわち図12の駆動回路の動作は、時刻t0-t3間では、スイッチ221及び回路ブロック230が、図11の駆動回路のスイッチ122及び電流制御回路104と同じ作用をし、時刻t0'-t3'間では、スイッチ121及び回路ブロック130が、図11の駆動回路のスイッチ222及び電流制御回路204と同じ作用をする。したがって図12の駆動回路全体の作用は、図11の駆動回路の作用とまったく同じであり、その性能も図11の駆動回路と等しい。

【0079】図14は本発明に係る電流制御回路の実施の形態を示す回路図である。図14において、回路ブロック500は、電流制御回路をトランジスタで構成した駆動回路であり、回路ブロック30は、電流制御トランジスタを精度よく制御するためのバイアス回路である。回路ブロック500は、図1の駆動回路の具体例で、図1のトランジスタ1、2をNMOSTランジスタ501、502とし、図1の電流制御回路3、4、5をそれぞれPMOSTランジスタ503、NMOSTランジスタ504、505としたものである。PMOSTランジスタ503のゲートは端子T5に接続され、NMOSTランジスタ504、505のゲートは端子T6に接続される。なお、電源端子T3、T4には電源電圧VDD、VSSがそれぞれ与えられている。

【0080】回路ブロック30は、電流制御回路として作用するトランジスタ503、504、505の各ゲートにバイアス電圧を供給するバイアス回路である。バイアス回路30は、NMOSTランジスタ31、32と、同じIds-Vgs特性を有するPMOSTランジスタ33、34とで構成される。NMOSTランジスタ31は、ドレインが端子T5に接続され、ソースが電源端子T8に接続され、ゲートには外部より電圧BIASが与

えられる。NMOSトランジスタ32はドレイン及びゲートが端子T6に接続され、ソースが電源端子T8に接続される。PMOSトランジスタ33は、ドレイン及びゲートが端子T5に接続され、ソースが電源端子T7に接続される。PMOSトランジスタ34は、ドレインが端子T6に接続され、ゲートが端子T5に接続され、ソースが電源端子T7に接続される。PMOSトランジスタ33、34はゲートが共通接続され、同じ $I_{ds}-V_{gs}$ 特性を有するので、それぞれのドレイン・ソース間電流は等しく、これを電流I4とする。電流I4は電圧BIASによって制御され、端子T5、T6の電圧BIASP、BIASNは電流I4により制御される。なお、電源端子T7、T8には電源電圧VDD、VSSがそれぞれ与えられている。

【0081】ここでトランジスタの特性変動を考慮してPMOSトランジスタ33、34、503及びNMOSトランジスタ32、504の各素子サイズを設計し、電流I51、I52が等しくなるように、電流I4、I51、I52を設定すれば、トランジスタの特性変動が生じて、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができる。また、トランジスタの特性変動を考慮してPMOSトランジスタ33、34、503及びNMOSトランジスタ32、505の各素子サイズを設計し、トランジスタ501、502のそれぞれのゲート・ソース間電圧が等しくなるように電流I4、I51、I53を設定すれば、トランジスタの特性変動が生じて、入力電圧Vinに等しい電圧を出力することができる。

【0082】上記の最も簡単な方法としては、トランジスタ501、502を同じ素子サイズで設計し、PMOSトランジスタ33、34、503を同じ素子サイズで設計し、さらにNMOSトランジスタ32、504、505を同じ素子サイズで設計する。この場合、電流I4、I51、I52、I53は等しく、トランジスタの特性変動が生じて電流I4、I51、I52、I53の等しい関係は保たれるので、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができ、また入力電圧Vinに等しい電圧を出力することができる。

【0083】以上のように、電流制御回路をトランジスタで構成した駆動回路500に対し、バイアス回路30を設けることにより、駆動回路500を、入力電圧Vinを供給する外部回路の電流供給能力に依存しないようにさせることができ、トランジスタの特性変動に依存しない高精度な電圧出力が実現できる。

【0084】図15は、図14のバイアス回路30の変更例を示す回路図である。図15のバイアス回路40は、図14のバイアス回路30よりトランジスタ31、33を取去り、バイアス回路に流す電流を減らした構成である。図15では、電圧BIAS (=電圧BIAS

P) が外部から直接駆動回路500及びバイアス回路40のトランジスタ34のゲートに与えられ、電流I4は電圧BIASPにより制御される。図15においても、図14の場合と同様に、トランジスタの特性変動を考慮してバイアス回路40のトランジスタ32、34及び駆動回路500の電流制御トランジスタの素子サイズを設計し、電流I4及び駆動回路500の電流制御トランジスタにより制御される各電流を最適に設定すれば、バイアス回路30と同様の作用及び効果を得ることができる。

【0085】なお、図14及び図15における駆動回路500は、図11、図12の駆動回路や他の実施の形態に置き換えることが可能である。また、図14及び図15では、駆動回路500とバイアス回路30又は40とが1対1の構成の場合を示したが、複数の駆動回路500を有する場合に、その複数の駆動回路500で単数のバイアス回路30又は40を共有することも可能である。

【0086】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0087】(1) 容量性負荷を駆動する駆動回路であって、第1～第3の定電流源と、前記第1の定電流源がドレイン端子に接続されかつ前記第2の定電流源がソース端子に接続され更にドレイン端子とゲート端子とが接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありゲート端子が前記第1のトランジスタのゲート端子と接続されかつソース端子が前記第3の定電流源に接続されてソースフォロワ動作する第2のトランジスタとを含み、前記第1のトランジスタのソース端子を入力端子としかつ前記第2のトランジスタのソース端子を出力端子としたことを特徴とする駆動回路。

【0088】(2) 容量性負荷を駆動する駆動回路であって、第1及び第2の定電流源と、前記第1の定電流源がドレイン端子に接続されかつドレイン端子とゲート端子とが接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありゲート端子が前記第1のトランジスタのゲート端子と接続された第2のトランジスタと、前記第2の定電流源がドレイン端子に接続されかつドレイン端子とゲート端子とが接続された第3のトランジスタと、前記第3のトランジスタと同一導電型でありゲート端子が前記第3のトランジスタのゲート端子と接続された第4のトランジスタとを含み、前記第1及び第2のトランジスタと前記第3及び第4のトランジスタとを異なる導電型とし、前記第1及び第3のトランジスタのソース端子を入力端子としかつ前記第2及び第4のトランジスタのソース端子を出力端子としたことを特徴とする駆動回路。

【0089】(3) 外部制御入力に応答して前記第1及び第2のトランジスタのゲート端子を所定電圧にプリチャージする第1のプリチャージ手段を更に含むことを特

徴とする(1)記載の駆動回路。

【0090】(4)外部制御入力にตอบสนองして前記第1及び第2のトランジスタのゲート端子並びに前記第3及び第4のトランジスタのゲート端子をそれぞれ所定電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする(2)記載の駆動回路。

【0091】(5)外部制御入力にตอบสนองして前記出力端子を所定電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする(1)～(4)のいずれかに記載の駆動回路。

【0092】(6)前記第1及び第2のプリチャージ手段は、前記外部制御入力にตอบสนองしてオンオフ動作して前記トランジスタのドレイン・ソース間電流を制御するスイッチを含むことを特徴とする(5)記載の駆動回路。

【0093】(7)前記第1及び第2のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのいずれか一方としたことを特徴とする(1)若しくは(3)又は(5)若しくは(6)記載の駆動回路。

【0094】(8)前記第1及び第2のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタのいずれか一方とし、前記第3及び第4のトランジスタを、共にNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタの他方としたことを特徴とする(2)若しくは(4)又は(5)若しくは(6)記載の駆動回路。

【0095】(9)前記第1～第3の定電流源は、トランジスタ素子と、このトランジスタ素子に対応して設けられそのゲート電圧を制御するバイアス回路とで構成し、そのソース端子とドレイン端子との間の電流を一定にするようにしたことを特徴とする請求項(1)～(8)のいずれかに記載の駆動回路。

【0096】(10)前記第1～第3の定電流源をそれぞれ構成する前記バイアス回路は、外部から入力されるバイアス電圧に応じて、対応する前記トランジスタ素子に対して同一のゲート電圧を与えることを特徴とする(9)記載の駆動回路。

【0097】(11)前記第1～第4のトランジスタは、共にバイポーラ型トランジスタであり、そのエミッタ端子を前記ソース端子とし、そのベース端子を前記ゲート端子とし、そのコレクタ端子を前記ドレイン端子としたことを特徴とする(1)～(5)又は(9)のいずれかに記載の駆動回路。

【0098】(12)(9)～(11)のいずれかに記載の駆動回路を複数含み、これら駆動回路で、前記バイアス回路を共有するようにしたことを特徴とする駆動回

路システム。

【0099】

【発明の効果】以上説明したように本発明は、ゲート端子同士を接続し、一方のトランジスタのゲート端子とドレイン端子とを接続し、他方のトランジスタをソースフォロワ動作させ、両トランジスタのドレイン・ソース間電流を制御することにより、簡単な回路構成で、容量性負荷を高い電流供給能力で駆動することができるという効果がある。

【図面の簡単な説明】

【図1】本発明による駆動回路の第1の実施の形態の構成を示す回路図である。

【図2】本発明による駆動回路の第2の実施の形態の構成を示す回路図である。

【図3】図2の回路動作を示すタイミング図である。

【図4】図2の具体的な回路を示す回路図である。

【図5】(a)は図4の回路の動作を示すタイミング図、(b)は図4の回路の動作を示す電圧波形図である。

【図6】図2の別の具体的な回路を示す回路図である。

【図7】(a)は図6の回路の動作を示すタイミング図、(b)は図6の回路の動作を示す電圧波形図である。

【図8】本発明による駆動回路の第3の実施の形態の構成を示す回路図である。

【図9】本発明による駆動回路の第4の実施の形態の構成を示す回路図である。

【図10】(a)は図9の回路の動作を示すタイミング図、(b)は図9の回路の動作を示す電圧波形図である。

【図11】図9の具体的な回路を示す回路図である。

【図12】図11の変更例を示す回路図である。

【図13】(a)は図12の回路の動作を示すタイミング図、(b)は図12の回路の動作を示す電圧波形図である。

【図14】本発明に係る電流制御回路の実施の形態を示す回路図である。

【図15】図14の変更例を示す回路図である。

【図16】従来の駆動回路を示す回路図である。

【符号の説明】

1、2 トランジスタ

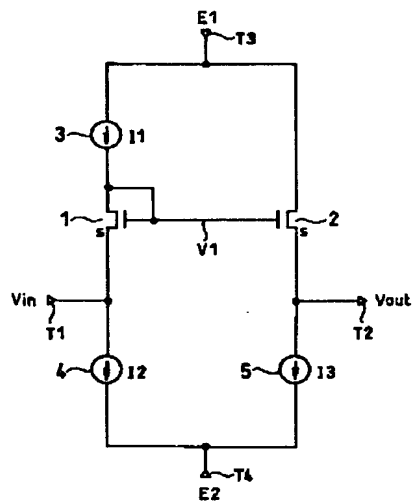
3、4、5 電流制御回路

11、12、21、22、23、24 スイッチ

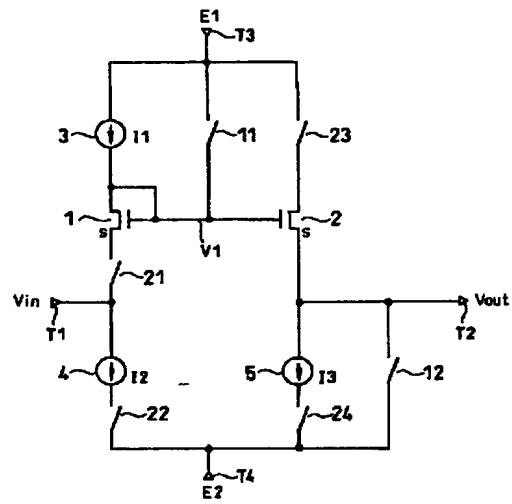
Vin 入力電圧

Vout 出力電圧

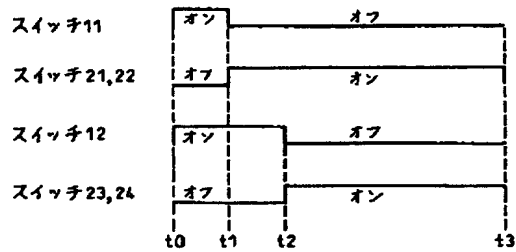
【図 1】



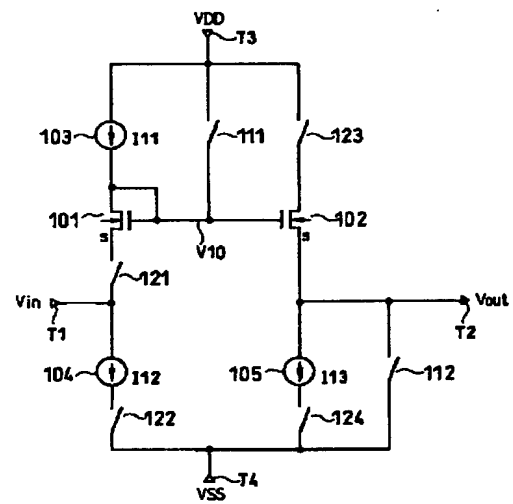
【図 2】



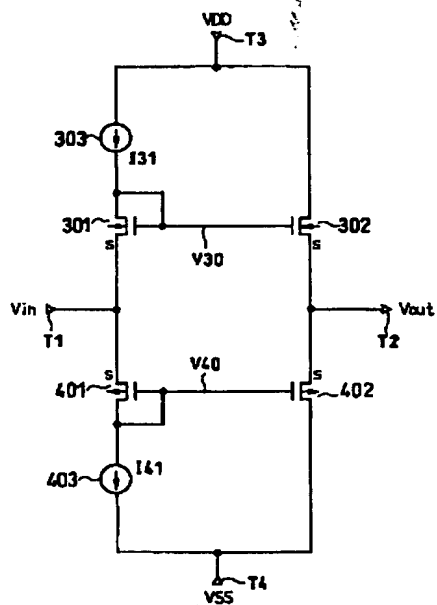
【図 3】



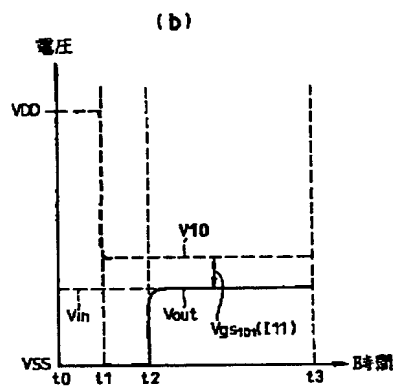
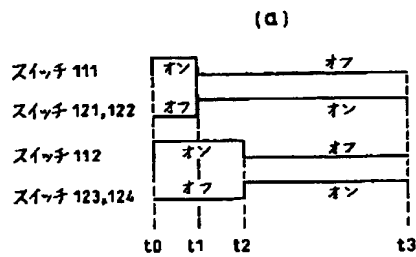
【図 4】



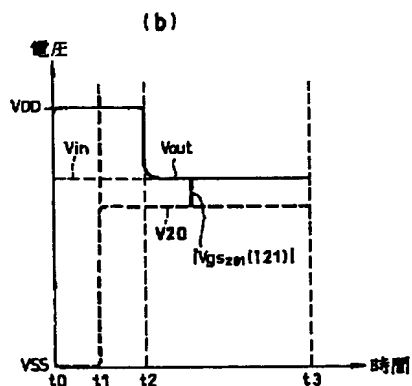
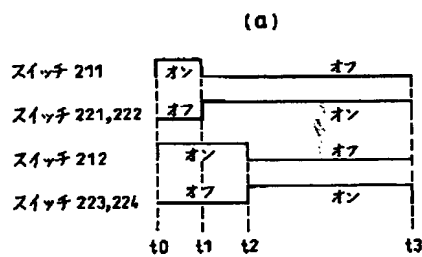
【図 8】



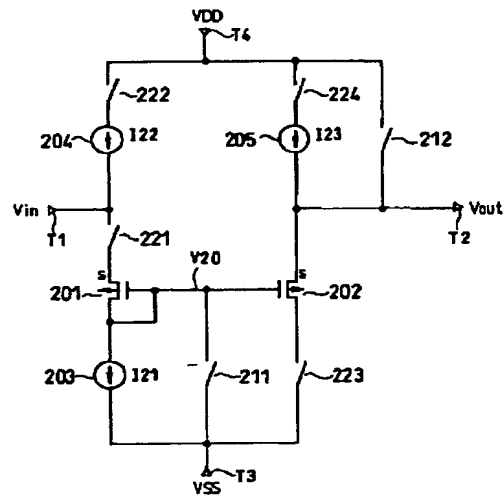
【図 5】



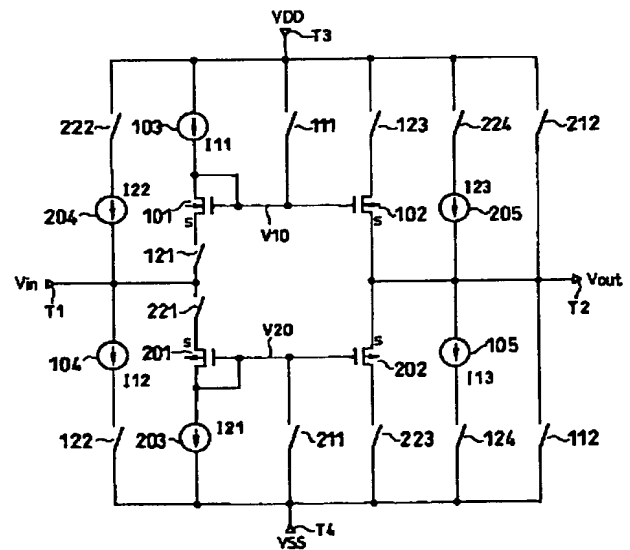
【図 7】



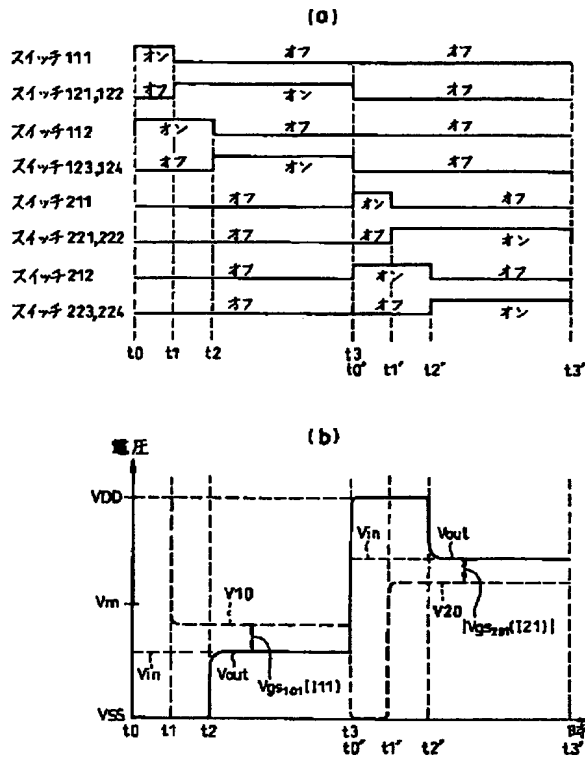
【図 6】



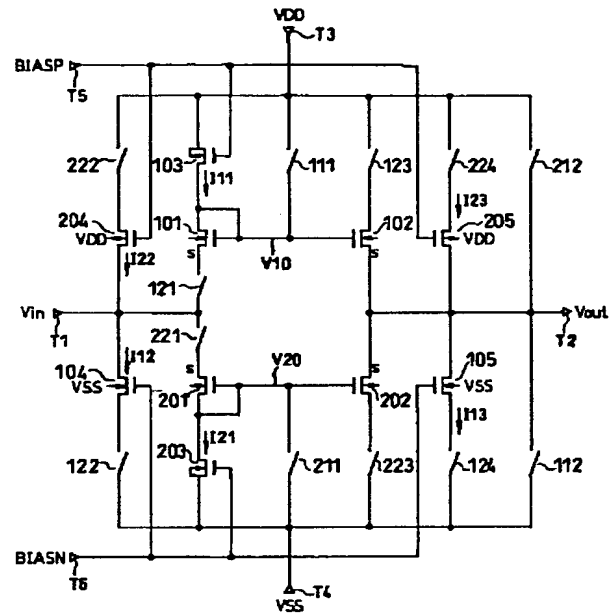
【図 9】



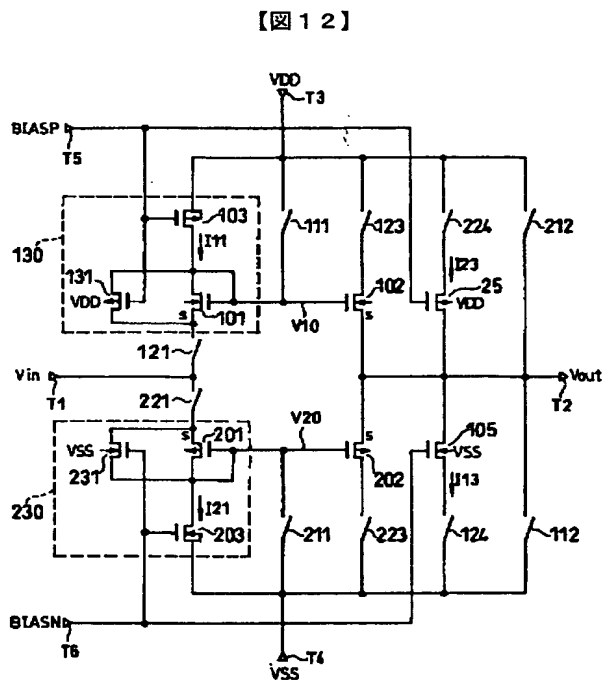
【図10】



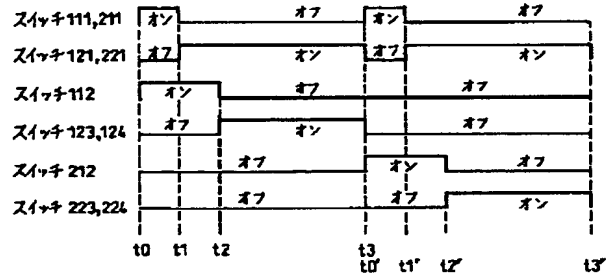
【図11】



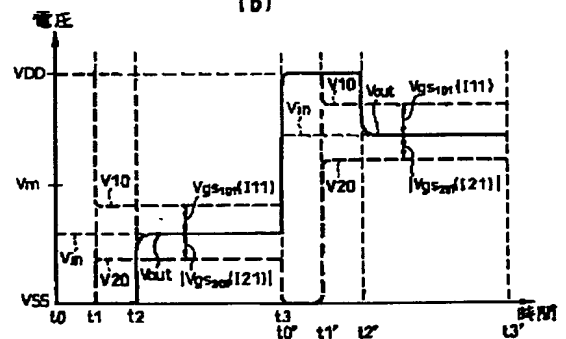
【図13】



(a)

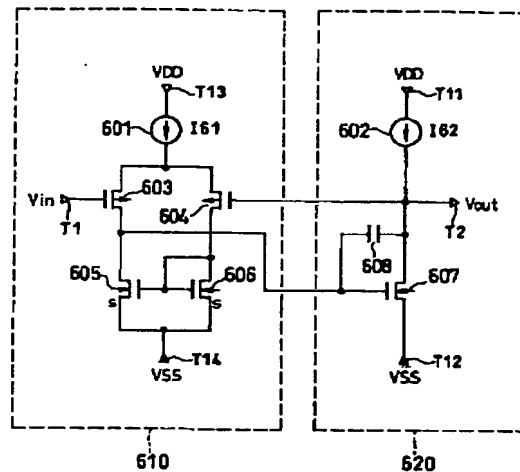


(b)



[illegible]

【図 16】



【手続補正書】

【提出日】平成12年4月17日（2000. 4. 17）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 入力電圧を第1の電圧にレベル変換するレベル変換手段と、前記第1の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第1のトランジスタと、前記第1のトランジスタのドレイン・ソース間に流れる電流を制御する第1の電流制御手段と、前記第1のトランジスタをソースフォロワ動作させる駆動手段とを含み、前記レベル変換手段は前記第1のトランジスタと同一導電型のトランジスタを含むことを特徴とする駆動回路。

【請求項2】 前記レベル変換手段は、前記第1のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第1の電圧を出力する第2のトランジスタと、前記第2のトランジスタのドレイン・ソース間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする請求項1記載の駆動回路。

【請求項3】 第1の電源端子と、入力電圧を受ける入力端子と、出力電圧を出力する出力端子と、ドレインとゲートとが接続されソースに前記入力端子が接続された第1のトランジスタと、前記第1のトランジスタと同一導電型でありかつドレインに前記第1の電源端子が接続されソースに前記出力端子が接続されゲートに前記第1

のトランジスタのゲート電圧と等しい電圧を受ける第2のトランジスタと、前記第1のトランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、前記第2のトランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段とを含むことを特徴とする駆動回路。

【請求項4】 前記第1の電流制御手段は、第2の電源端子と前記第1のトランジスタのドレイン（ゲート）との間に接続した第1の電流制御回路であり、前記第2の電流制御手段は、前記出力端子と第3の電源端子との間に接続された第2の電流制御回路であることを特徴とする請求項3記載の駆動回路。

【請求項5】 前記入力端子と第4の電源端子との間に接続された第3の電流制御回路を更に含むことを特徴とする請求項4記載の駆動回路。

【請求項6】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、を更に含むことを特徴とする請求項3～5のいずれかに記載の駆動回路。

【請求項7】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項3～6のいずれかに記載の駆動回路。

【請求項8】 前記第1のトランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段を更に含むことを特徴とする請求項3～7のいずれかに記載の駆動回路。

【請求項9】 前記第1及び第2の電流制御回路が、ゲ

ート・ソース間電圧の制御により電流制御される n チャネル型又は p チャネル型の電流制御トランジスタで構成されることを特徴とする請求項4記載の駆動回路。

【請求項10】 前記第1～第3の電流制御回路が、ゲート・ソース間電圧の制御により電流制御される n チャネル型又は p チャネル型の電流制御トランジスタで構成されることを特徴とする請求項5記載の駆動回路。

【請求項11】 入力電圧を受ける入力端子と出力電圧を出力する出力端子とをそれぞれ共有する第1の駆動回路及び第2の駆動回路と、

前記入力電圧に応じて前記第1の駆動回路及び前記第2の駆動回路の少なくとも一方を動作させる駆動手段とを含み、

前記第1の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1の n チャネル型トランジスタと、

ドレインに第1の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1の n チャネル型トランジスタのゲート電圧と等しい電圧を受ける第2の n チャネル型トランジスタと、

前記第1の n チャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第1の電流制御手段と、

前記第2の n チャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第2の電流制御手段と、

を含み、

前記第2の駆動回路は、

ドレインとゲートとが接続され、ソースが前記入力端子に接続された第1の p チャネル型トランジスタと、

ドレインに第2の電源端子が接続され、ソースが前記出力端子に接続され、ゲートに前記第1の p チャネル型トランジスタのゲート電圧と等しい電圧を受ける第2の p チャネル型トランジスタと、

前記第1の p チャネル型トランジスタのドレイン（ゲート）とソースとの間に流れる電流を制御する第3の電流制御手段と、

前記第2の p チャネル型トランジスタのドレインとソースとの間に流れる電流を制御する第4の電流制御手段と、

を含むことを特徴とする駆動回路システム。

【請求項12】 前記第1の電流制御手段は、第3の電源端子と前記第1の n チャネル型トランジスタのドレイン（ゲート）との間に接続された第1の電流制御回路を含み、

前記第2の電流制御手段は、前記出力端子と第4の電源端子との間に接続された第2の電流制御回路を含み、

前記第3の電流制御手段は、第5の電源端子と前記第1の p チャネル型トランジスタのドレイン（ゲート）との間に接続された第3の電流制御回路を含み、

前記第4の電流制御手段は、前記出力端子と第6の電源端子との間に接続された第4の電流制御回路を含むことを特徴とする請求項11記載の駆動回路システム。

【請求項13】 前記第1の駆動回路は、前記入力端子と第7の電源端子との間に接続された第5の電流制御回路を更に含み、

前記第2の駆動回路は、前記入力端子と第8の電源端子との間に接続された第6の電流制御回路を更に含むことを特徴とする請求項11又は12記載の駆動回路システム。

【請求項14】 前記入力端子、前記出力端子及び前記電源端子のそれぞれの端子間に流れる電流を遮断することが可能なスイッチ群と、

前記スイッチ群のオン及びオフを制御するスイッチ制御手段と、

を更に含むことを特徴とする請求項11～13のいずれかに記載の駆動回路システム。

【請求項15】 前記出力端子を少なくとも1種類の電圧にプリチャージする第1のプリチャージ手段を更に含むことを特徴とする請求項11～14のいずれかに記載の駆動回路システム。

【請求項16】 前記第1の n チャネル型トランジスタのゲート電圧を所定の第1の電圧にプリチャージする第2のプリチャージ手段と、前記第1の p チャネル型トランジスタのゲート電圧を所定の第2の電圧にプリチャージする第3のプリチャージ手段とを更に含むことを特徴とする請求項11～15のいずれかに記載の駆動回路システム。

【請求項17】 前記第1～第4の電流制御回路が、ゲート・ソース間電圧の制御により電流制御される n チャネル型又は p チャネル型の電流制御トランジスタで構成されることを特徴とする請求項12記載の駆動回路システム。

【請求項18】 前記第1～第6の電流制御回路が、ゲート・ソース間電圧の制御により電流制御される n チャネル型又は p チャネル型の電流制御トランジスタで構成されることを特徴とする請求項13記載の駆動回路システム。

【請求項19】 第1の n チャネル型トランジスタと、前記第1の n チャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第1の p チャネル型トランジスタを含み、

前記第1の n チャネル型トランジスタは、請求項9～10のいずれかに記載の駆動回路又は請求項17～18のいずれかに記載の駆動回路システムに含まれる前記 n チャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有し、

前記第1の p チャネル型トランジスタは、請求項9～10のいずれかに記載の駆動回路又は請求項17～18のいずれかに記載の駆動回路システムに含まれる前記 p チャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有し、

ャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有することを特徴とするバイアス回路。

【請求項 20】 請求項 1～10 のいずれかの駆動回路を複数含み、さらに請求項 19 のバイアス回路を含み、複数の前記駆動回路で前記バイアス回路を共用するようにしたことを特徴とする駆動回路システム。

【請求項 21】 請求項 11～18 のいずれかの駆動回路システムを複数含み、さらに請求項 19 のバイアス回路を含み、複数の前記駆動回路システムで前記バイアス回路を共用するようにしたことを特徴とする駆動回路装置。

【請求項 22】 ソースが第 1 の電源端子に接続され、ゲート電圧が制御された第 1 のトランジスタと、前記第 1 のトランジスタと異なる導電型で、ソースが第 2 の電源端子に接続され、ゲートとドレインが共通接続され、前記第 1 のトランジスタとドレイン・ソース間電流を共有する第 2 のトランジスタとを含むバイアス回路と、

前記第 1 のトランジスタと同一導電型及び同一サイズで前記第 1 のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも 1 個の電流制御トランジスタを含み、前記第 2 のトランジスタと同一導電型及び同一サイズで前記第 2 のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも 1 個の電流制御トランジスタを含み、前記バイアス回路により前記各電流制御トランジスタの電流が等しく保たれている駆動回路とを含むことを特徴とする駆動回路装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】本発明による駆動回路は、入力電圧を第 1 の電圧にレベル変換するレベル変換手段と、前記第 1 の電圧をゲートに受け、前記入力電圧に応じた出力電圧をソースより出力する第 1 のトランジスタと、前記第 1 のトランジスタのドレイン・ソース間に流れる電流を制御する第 1 の電流制御手段と、前記第 1 のトランジスタをソースフォロウ動作させる駆動手段とを含み、前記レベル変換手段は前記第 1 のトランジスタと同一導電型のトランジスタを含むことを特徴とする。また、前記レベル変換手段は、前記第 1 のトランジスタと同一導電型であり、ソースに前記入力電圧を受け、共通接続したドレインとゲートより前記第 1 の電圧を出力する第 2 のトランジスタと、前記第 2 のトランジスタのドレイン・ソース間に流れる電流を制御する第 2 の電流制御手段とを含むことを特徴とする。

【手続補正 3】

【補正対象 類名】明細

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】本発明によるバイアス回路は、第 1 の n チャネル型トランジスタと、前記第 1 の n チャネル型トランジスタのドレイン・ソース間電流と等しい大きさのドレイン・ソース間電流を有する第 1 の p チャネル型トランジスタを含み、前記第 1 の n チャネル型トランジスタは、上記駆動回路又は上記駆動回路システムに含まれる前記 n チャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有し、前記第 1 の p チャネル型トランジスタは、上記駆動回路又は上記駆動回路システムに含まれる前記 p チャネル型の電流制御トランジスタと同じゲート・ソース間電圧を有することを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】本発明による駆動回路装置は、上記駆動回路システムを複数含み、さらに上記バイアス回路を含み、複数の駆動回路システムでバイアス回路を共用するようにしたことを特徴とする。更に、本発明による駆動回路装置は、ソースが第 1 の電源端子に接続され、ゲート電圧が制御された第 1 のトランジスタと、前記第 1 のトランジスタと異なる導電型で、ソースが第 2 の電源端子に接続され、ゲートとドレインが共通接続され、前記第 1 のトランジスタとドレイン・ソース間電流を共有する第 2 のトランジスタとを含むバイアス回路と、前記第 1 のトランジスタと同一導電型及び同一サイズで前記第 1 のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも 1 個の電流制御トランジスタを含み、前記第 2 のトランジスタと同一導電型及び同一サイズで前記第 2 のトランジスタとゲート同士、ソース同士がそれぞれ共有接続された少なくとも 1 個の電流制御トランジスタを含み、前記バイアス回路により前記各電流制御トランジスタの電流が等しく保たれている駆動回路とを含むことを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】電圧 V_m 以上の任意のレベルの電圧を出力する 1 出力期間（時刻 $t_0' - t_3'$ ）では、時刻 t_0' にて、スイッチ 111、211 がオン、スイッチ 121、221 がオフとされる。この結果、トランジスタ 101、102 の共通ゲートは電圧 V_{DD} に、トランジスタ 201、202 の共通ゲートは電圧 V_{SS} にプリチャージされる。また、スイッチ 212 がオン、スイッチ

223、224はオフとされ、出力端子T2は電圧VDDにプリチャージされる。なお、スイッチ112、12

3、124は、時刻 t_0' - t_3' 間はオフとされる。